

MFA-MEDIENSYSTEM

Mikrocomputer- Technik

Fachpraktische Übungen
Band 5

5


MEDIENSYSTEM

VOS 



– Ihr Partner für Ausbildungssysteme

Neue Produkte im Bereich Mediensysteme

Mit Medien, Aus- und Weiterbildung begann sich die vgs bereits vor 20 Jahren mit dem Begleitbuch zur Fernsehreihe „Einführung in die Elektronik“ von Jean Pütz zu beschäftigen. Über die Jahre hinweg entstanden in Zusammenarbeit mit ARD und ZDF weitere Bücher und Bausätze aus den Bereichen Elektronik, Chemie und Biotechnologie. Inzwischen ist die vgs der Spezialist für Medienverbund auf allen Gebieten. Die Zusammenarbeit mit dem Berufsförderungszentrum Essen e.V. begann 1983, als die vgs den Zuschlag für die Produktion und Verbreitung des dort entwickelten Mikrocomputer-Ausbildungssystems MFA erhielt. Inzwischen umfaßt das Programm der vgs für den Bereich der Aus- und Weiterbildung folgende Produkte:

- **MFA** – ein Mikrocomputer-Ausbildungssystem, das in den industriellen Metall- und Elektro-Berufen sowie in den handwerklichen Elektro-Berufen im In- und Ausland eine zentrale Rolle spielt. Das vom BFZ in Essen entwickelte Grundsystem wird von der vgs ständig zukunftsorientiert weiterentwickelt, produziert und vertrieben, so daß inzwischen ca. 90 Baugruppen zur Verfügung stehen.

- **40 900 NORMCOMPUTER** – ein Computer-Lehrsystem für die Schulung im Bereich Digitaltechnik, bei dem Wert auf die Einhaltung der gültigen internationalen Digitalnorm nach DIN 40 900 gelegt wurde (in Zusammenarbeit mit dem BBZ Köln). Mit diesem, aus 8 Lehrplatten bestehendem Lehrsystem, kann die immer noch bestehende Lücke zwischen Digitaltechnik und Mikrocomputertechnik geschlossen werden. Basis des NORM-COMPUTERS ist der in der Aus- und Weiterbildung nach wie vor optimal einzusetzende Mikrocomputer 8085.

- **PC-Modelle** für die Schulung – hier bietet die vgs Anwendungsmodelle aus den Bereichen Logikanalyse, Meßtechnik und Robotik an.

- **PTQ** (steht für Produktionstechnische Qualifikation im Lernverbund). An dieser neuen Entwicklung vom BFZ Essen ist die vgs als Werkvertragsnehmer über die Konstruktion und Dokumentation sowie Fertigungsarbeiten für „Portallader-Komponenten“ beteiligt.

Die vgs liefert in das Inland (inzwischen mit Schwerpunkt neue Bundesländer) und über Vertragspartner in das Ausland an Industrie, Handwerk, Ausbildungszentren und Schulen.

Bitte fordern Sie weitere Informationen an bei:

vgs verlagsgesellschaft mbH & Co. KG
Postfach 18 02 69
Breite Straße 118-120, 5000 Köln 1

Telefon 02 21/2 08 11-12
Telefax 02 21/24 57 99
Telex 888 2202 vgs d

MFA-MEDIENSYSTEM

Mikrocomputer- Technik

Fachpraktische Übungen · Band 5



MFA-Mediensystem Mikrocomputer-Technik / [Red.: F.

Derriks ...]. – Köln : vgs.

Teilw. redigiert von N. Meyer ... Teilw. hrsg. vom BFZ Essen

NE: Meyer, Norbert [Red.]; Derriks, Franz [Red.];

Berufsförderungszentrum <Essen>; Mikrocomputer-Technik

Fachpraktische Übungen.

Bd. 5. – 1. Aufl. – 1992

ISBN 3-8025-1259-6

Herausgeber: vgs verlagsgesellschaft mbH & Co. KG
Breite Str. 118-120,
5000 Köln 1

Redaktion: F. Derriks, M. Hüllweg, R. Lüdecke,
E. Matz, Fr.G. Roßmanek, K.D. Strelow,
H. Storbeck, S. Wirtgen, W. Hild,
W. Oehlert, D. Piller

C 1991 vgs verlagsgesellschaft mbH & Co. KG
Berufsförderungszentrum Essen e.V.

Diese Publikation ist urheberrechtlich
geschützt. Alle Rechte sind vorbehalten.

Verlag: vgs verlagsgesellschaft, Köln

1. Auflage 1991

Satz und Zeichnungen: BFZ Essen; Teba-Elektronik, Nenderoth

Hinweise zu den Übungen in diesem Band

Die in diesem Band enthaltenen Übungen sind nicht durchgehend, sondern einzeln paginiert, und zwar oben rechts auf jeder Seite. Dabei ist jeweils auch die Systemnummer der betreffenden Übung angegeben (z.B. 64-K-RAM-Baugruppe BFZ/MFA 3.3). Hierdurch ist es möglich, den Band auseinanderzunehmen und die Übungen einzeln einzusetzen.

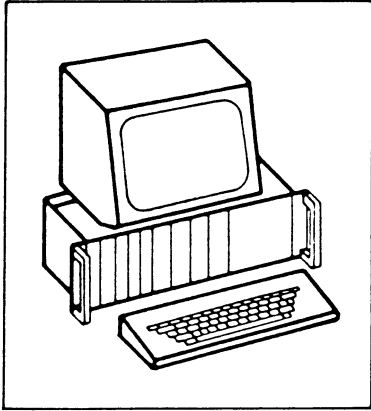
Dieser Band enthält folgende Übungen:

- | | |
|--|--------------|
| - 64-K-RAM-Baugruppe | BFZ/MFA 3.3 |
| - Galvan. getrennte 8-Bit-Eingabe | BFZ/MFA 4.8 |
| - Galvan. getrennte 8-Bit-Ausgabe | BFZ/MFA 4.9 |
| - V.24/RS232-Schnittstelle | BFZ/MFA 4.10 |
| - AD/DA-Wandler (mit Hardwarewandlern) | BFZ/MFA 4.13 |
| - Vektor-Interrupt-Karte (erfordert 62.FG) | BFZ/MFA 4.15 |

1700. 1800. 1900. 2000. 2100. 2200. 2300. 2400. 2500. 2600. 2700. 2800. 2900. 3000. 3100. 3200. 3300. 3400. 3500. 3600. 3700. 3800. 3900. 4000. 4100. 4200. 4300. 4400. 4500. 4600. 4700. 4800. 4900. 5000. 5100. 5200. 5300. 5400. 5500. 5600. 5700. 5800. 5900. 6000. 6100. 6200. 6300. 6400. 6500. 6600. 6700. 6800. 6900. 7000. 7100. 7200. 7300. 7400. 7500. 7600. 7700. 7800. 7900. 8000. 8100. 8200. 8300. 8400. 8500. 8600. 8700. 8800. 8900. 9000. 9100. 9200. 9300. 9400. 9500. 9600. 9700. 9800. 9900. 10000.

1700. 1800. 1900. 2000. 2100. 2200. 2300. 2400. 2500. 2600. 2700. 2800. 2900. 3000. 3100. 3200. 3300. 3400. 3500. 3600. 3700. 3800. 3900. 4000. 4100. 4200. 4300. 4400. 4500. 4600. 4700. 4800. 4900. 5000. 5100. 5200. 5300. 5400. 5500. 5600. 5700. 5800. 5900. 6000. 6100. 6200. 6300. 6400. 6500. 6600. 6700. 6800. 6900. 7000. 7100. 7200. 7300. 7400. 7500. 7600. 7700. 7800. 7900. 8000. 8100. 8200. 8300. 8400. 8500. 8600. 8700. 8800. 8900. 9000. 9100. 9200. 9300. 9400. 9500. 9600. 9700. 9800. 9900. 10000.

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



64-KByte-RAM

BFZ/MFA 3.3.



Inhaltsverzeichnis

| Inhalt | Seite |
|---|-------|
| Hinweise | 1 |
| Blockschaltbild | 2 |
| Funktionsbeschreibung | 3 |
| Stromlaufplan | 7 |
| Bestückung Leiterplatte | 8 |
| Bereitstellungsliste zur Inbetriebnahme | 10 |
| Inbetriebnahme | 11 |
| Bereitstellungsliste | 16 |
| Bohrplan Leiterplatte | 18 |
| Layout Bestückungsseite | 19 |
| Beschriftung Frontplatte | 20 |
| Zusammenbau Baugruppe | 21 |

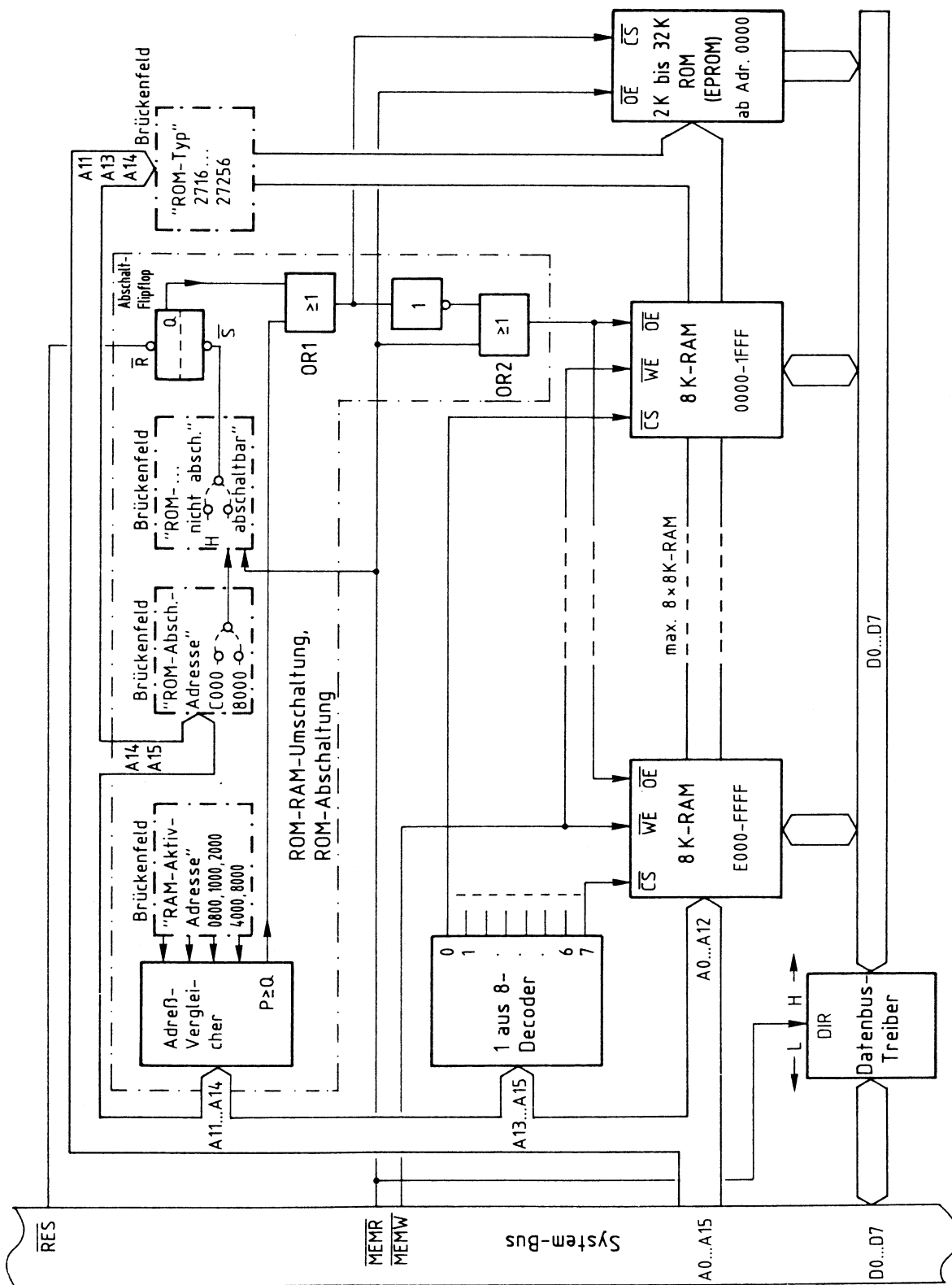
Hinweise

Die 64-KByte-RAM-Baugruppe ist für den Betrieb des BFZ/MFA-Mikrocomputers unter dem Betriebssystem "CP/M" vorgesehen. Die Baugruppe enthält acht 8-KByte-RAM-Bausteine und ein EPROM mit wahlweise 2-, 4-, 8-, 16- oder 32-KByte-Speicherkapazität.

Unter "CP/M" wird das EPROM nach dem Laden des Betriebssystems abgeschaltet, so daß anschließend der ganze 64-KByte-RAM-Bereich zur Verfügung steht. Für andere Anwendungen ist es möglich, RAM und EPROM gemeinsam zu benutzen, wobei der nutzbare RAM-Bereich um die Kapazität des EPROMs verringert wird.

Einzelheiten zum Betrieb des BFZ/MFA-Mikrocomputers in Verbindung mit dem Betriebssystem "CP/M" sind in der Übung "CP/M-Ausbaustufe des BFZ/MFA-Mikrocomputers" BFZ/MFA 7.3. beschrieben.

Blockschaltbild



Funktionsbeschreibung

Die Funktionsbeschreibung bezieht sich auf das Blockschaltbild der Baugruppe. Schaltungseinzelheiten sind dem Stromlaufplan zu entnehmen.

Die 64-KByte-RAM-Baugruppe kann wahlweise in der Betriebsart "ROM/RAM-Betrieb, ROM nicht abschaltbar" oder "ROM/RAM-Betrieb mit abschaltbarem ROM" eingesetzt werden. Die Einrichtung der Baugruppe für die gewünschte Betriebsart erfolgt durch Lötbrücken auf mehreren Brückenfeldern. Alle hierzu erforderlichen Angaben (technische Merkmale, typische Speicheraufteilungen) befinden sich am Ende der Funktionsbeschreibung.

Datenbus-Treiber, 1 aus 8-Decoder und Speicher

Der Daten-Bus der Baugruppe ist über einen Datenbus-Treiber mit dem System-Bus verbunden. Die Arbeitsrichtung des Datenbus-Treibers wird mit dem Signal $\overline{\text{MEMR}}$ gesteuert.

Mit den Adreßleitungen A0 bis A12 werden die einzelnen Speicherzeilen der RAM-Bausteine und des EPROMs adressiert. Je nach verwendetem EPROM (2716...27256) werden die Adreßleitungen A11, A13 und A14 im Brückenfeld "ROM-Typ" an die unterschiedlichen Anschlußbelegungen der EPROMs angepaßt.

Die Adreßleitungen A13 bis A15 führen auf einen 1 aus 8-Decoder, der jeweils einen der 8-KByte-RAM-Bausteine über dessen $\overline{\text{CS}}$ -Anschluß freigibt.

Die $\overline{\text{OE}}$ -Anschlüsse aller RAM-Bausteine sind zusammengeführt. Daten des RAM-Speichers können nur dann gelesen werden, wenn die $\overline{\text{OE}}$ -Anschlüsse L-Pegel erhalten. Die Schreib-Lese-Umschaltung der RAM-Bausteine erfolgt über $\overline{\text{MEMW}}$.

ROM-RAM-Umschaltung

Zur ROM-RAM-Umschaltung gehören der Adreßvergleich mit dem Brückenfeld "RAM-Aktiv-Adresse", die ODER-Verknüpfung "OR1", der Inverter und die ODER-Verknüpfung "OR2".

Beim Einschalten des Mikrocomputers (oder bei Betätigung der RESET-Taste) wird das Abschalt-Flipflop über das Signal $\overline{\text{RES}}$ zurückgesetzt, so daß der Ausgang Q an die ODER-Verknüpfung OR1 L-Pegel abgibt.

Funktionsbeschreibung

Der zweite Eingang von OR1 erhält nach dem Einschalten vom Ausgang $P \geq Q$ des Adreßvergleichers ebenfalls L-Pegel, da die vom Prozessor ausgegebene Adresse 0000 stets kleiner als die mit dem Brückenfeld "RAM-Aktiv-Adresse" einstellbare Vergleichsadresse ist. Die ODER-Verknüpfung OR1 gibt daher zunächst L-Pegel ab. Hiermit wird der \overline{CS} -Anschluß des EPROMs angesteuert und das EPROM aktiviert.

Bei aktivem EPROM muß der RAM-Speicher abgeschaltet sein. Die RAM-Abschaltung erfolgt durch H-Pegel an den \overline{OE} -Anschlüssen der RAM-Bausteine. Dieser H-Pegel stammt von der ODER-Verknüpfung OR2 und wird durch Invertierung des Ausgangssignals von OR1 (\overline{CS} -Signal für das EPROM) gebildet.

Durch das beschriebene Verfahren wird nach dem Einschalten bzw. RESET stets zunächst das EPROM aktiviert und der RAM-Speicher abgeschaltet.

Mit dem Brückenfeld "RAM-Aktiv-Adresse" wird eingestellt, ab welcher Speicheradresse statt des EPROMs der RAM-Speicher aktiv sein soll. Einstellbar sind die Adreßwerte 0800, 1000, 2000, 4000 und 8000. Der einzustellende Wert richtet sich nach dem EPROM-Typ.

Sobald der Prozessor eine Adresse ausgibt, die gleich oder größer der eingestellten RAM-Aktiv-Adresse ist, führt der Adreßvergleicher am Ausgang $P \geq Q$ H-Pegel und schaltet über OR1 das EPROM ab.

Zum Lesen von Daten aus dem Speicher steuert der Prozessor die \overline{MEMR} -Leitung auf L-Pegel. Da das EPROM z.Zt. nicht aktiviert ist, führen jetzt beide Eingänge von OR2 L-Pegel, wodurch die \overline{OE} -Anschlüsse der RAM-Bausteine L-Pegel erhalten und der RAM-Speicher zum Lesen von Daten freigegeben ist.

Zum Einschreiben von Daten in den RAM-Speicher ist L-Pegel an den \overline{OE} -Anschlüssen nicht erforderlich.

Arbeitet der Prozessor wieder unterhalb der RAM-Aktiv-Adresse, nimmt der Ausgang $P \geq Q$ des Adreßvergleichers wieder L-Pegel an. Hierdurch wird wieder vom RAM auf das EPROM umgeschaltet. Das Abschalt-Flipflop ist an dieser Umschaltung nicht beteiligt.

Funktionsbeschreibung

ROM-Abschaltung

Beim Einschalten des Mikrocomputers ist zunächst immer das EPROM aktiviert. Für bestimmte Anwendungsfälle der Speicherbaugruppe wie z.B. das Arbeiten unter dem Betriebssystem "CP/M" muß der Speicher bereits ab der Adresse 0000 mit RAM beginnen. Da "CP/M" nicht in EPROMs gespeichert wird, sondern auf einer Diskette, muß das EPROM ein Programm enthalten, mit dessen Hilfe "CP/M" von der Diskette in den RAM-Speicher geladen wird. Nach diesem als "BOOTEN" bezeichneten Ladevorgang wird das EPROM nicht mehr benötigt und muß abgeschaltet werden.

Die Abschaltung des EPROMs erfolgt durch das Abschalt-Flipflop in Verbindung mit den Brückenfeldern "ROM nicht abschaltbar/abschaltbar" und "ROM-Abschalt-Adresse".

Bedingungen für das Abschalten des EPROMs:

- Brückenfeld "ROM nicht abschaltbar/abschaltbar" in Stellung "abschaltbar"
- Speicher-Lesezugriff des Prozessors auf die mit dem Brückenfeld "ROM-Abschalt-Adresse" eingestellte oder eine höhere Adresse

Nur wenn beide Bedingungen gemeinsam erfüllt sind, wird das Abschalt-Flipflop gesetzt und hierdurch das EPROM dauerhaft abgeschaltet. Anschließend kann auf das EPROM nicht mehr zugegriffen werden. Dieser Zustand bleibt bis zum nächsten RESET erhalten.

Zusammenfassung

Auf der nächsten Seite sind die Betriebsarten der 64-KByte-RAM-Baugruppe zusammengefaßt dargestellt und Beispiele für einige mögliche Speicheraufteilungen angegeben.

Funktionsbeschreibung

ROM/RAM-Betrieb, ROM nicht abschaltbar

Merkmale:

- ROM ab Adresse 0000, bestehend aus einem EPROM mit 2-, 4-, 8-, 16- oder 32-KByte Kapazität
- RAM ab Adresse 0000, bestehend aus acht 8-KByte-Bausteinen, jedoch nicht ab Adr. 0000, sondern erst oberhalb der EPROM-Endadresse nutzbar
- Ausblendung desjenigen RAM-Bereichs, der bereits durch das eingesetzte EPROM belegt ist
- Bei 2- oder 4-KByte-EPROMs ist der überschüssige RAM-Speicher von 6- bzw. 4 KByte nutzbar
- Bei Verwendung von 8-, 16- oder 32-KByte-EPROM können 1, 2 oder 4 RAM-Bausteine entfallen

Einstellung dieser Betriebsart:

- Mit Brückenfeld "ROM-Typ" eingesetztes EPROM angeben
- Brücke "ROM nicht abschaltbar" schließen
- Brückenfeld "ROM-Abschaltadresse" beliebig, da EPROM nicht abgeschaltet wird
- "RAM-Aktiv-Adresse" je nach eingesetztem EPROM-Typ einstellen (2716 auf 0800, 2732 auf 1000, 2764 auf 2000, 27128 auf 4000, 27256 auf 8000)

ROM/RAM-Betrieb mit abschaltbarem ROM

Merkmale:

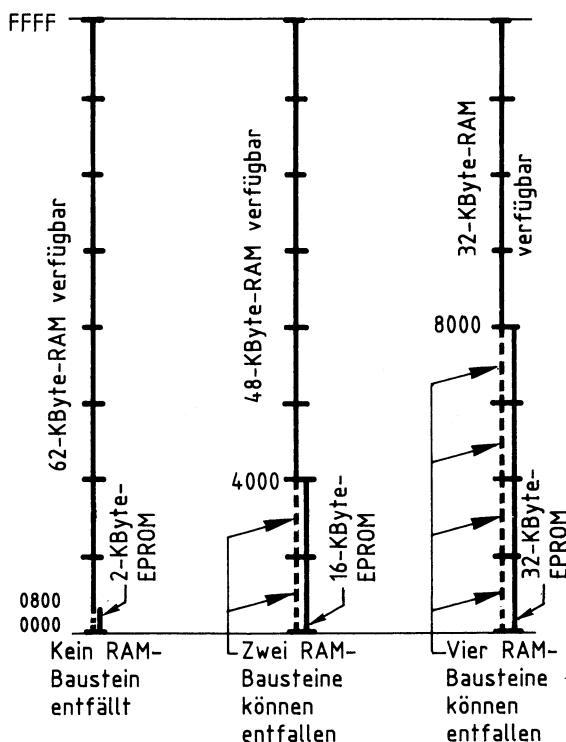
- Zunächst ROM (2- bis 32-KByte-EPROM) ab Adresse 0000 eingeschaltet
- 64-KByte-RAM ab Adresse 0000, jedoch Ausblendung desjenigen RAM-Bereichs, der durch das eingesetzte EPROM belegt ist; RAM-Speicher zunächst nur oberhalb der EPROM-Endadresse nutzbar
- Dauerhaftes Abschalten des EPROMs und Einschalten des gesamten RAM-Speichers durch Lesezugriff auf eine Speicheradresse ab 8000 bzw. C000 (einstellbare "ROM-Abschaltadresse")
- Wiedereinschalten des EPROMs nur durch RESET oder Kaltstart

Einstellung dieser Betriebsart:

- Brücke "ROM abschaltbar" schließen
- Im Brückenfeld "ROM-Typ" eingesetztes EPROM angeben
- "RAM-Aktiv-Adresse" je nach eingesetztem EPROM einstellen
- Brückenfeld "ROM-Abschaltadresse" auf 8000 oder C000 einstellen

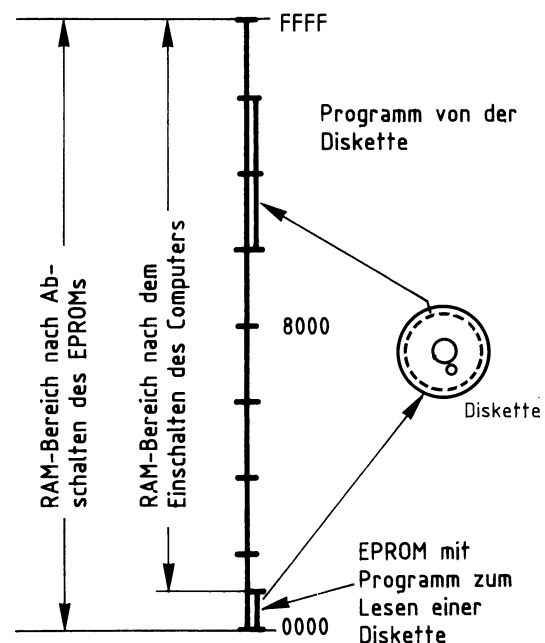
Speicheraufteilung:

(Beispiele)



Speicheraufteilung:

(Beispiele)



The diagram illustrates the internal architecture of a system, featuring a 74LS138 decoder (IC10) and various memory and logic components. The decoder's outputs (A0-A15) are connected to address lines of other ICs. The data bus (D0-D7) is shared across the system. Control signals like CS, OE, and WE are used to manage memory access.

74LS138 Decoder Truth Table:

| En | A2 | A1 | A0 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

IC11 74LS85: A 4-bit magnitude comparator. Its inputs A14-A11 and B14-B11 are connected to address lines. The output P > Q is connected to the RAM chip select.

IC10 74LS138: A 3-to-8 line decoder. Its inputs A15-A13 are connected to address lines. The output Y0 is connected to the RAM chip select.

IC9 74LS245: An 8-bit bidirectional bus transceiver. It connects the 8-bit data bus (D0-D7) to the RAM data bus.

IC8: An 8191-bit EPROM. Its address lines (A0-A12) are connected to the decoder outputs. The chip select (CS1) is connected to the RAM chip select. The output enable (OE) is connected to the RAM chip select. The write enable (WE) is connected to the RAM chip select.

IC7, IC6, IC5, IC4, IC3, IC2, IC1: 8191-bit EPROMs. Their address lines (A0-A12) are connected to the decoder outputs. The chip select (CS1) is connected to the RAM chip select. The output enable (OE) is connected to the RAM chip select. The write enable (WE) is connected to the RAM chip select.

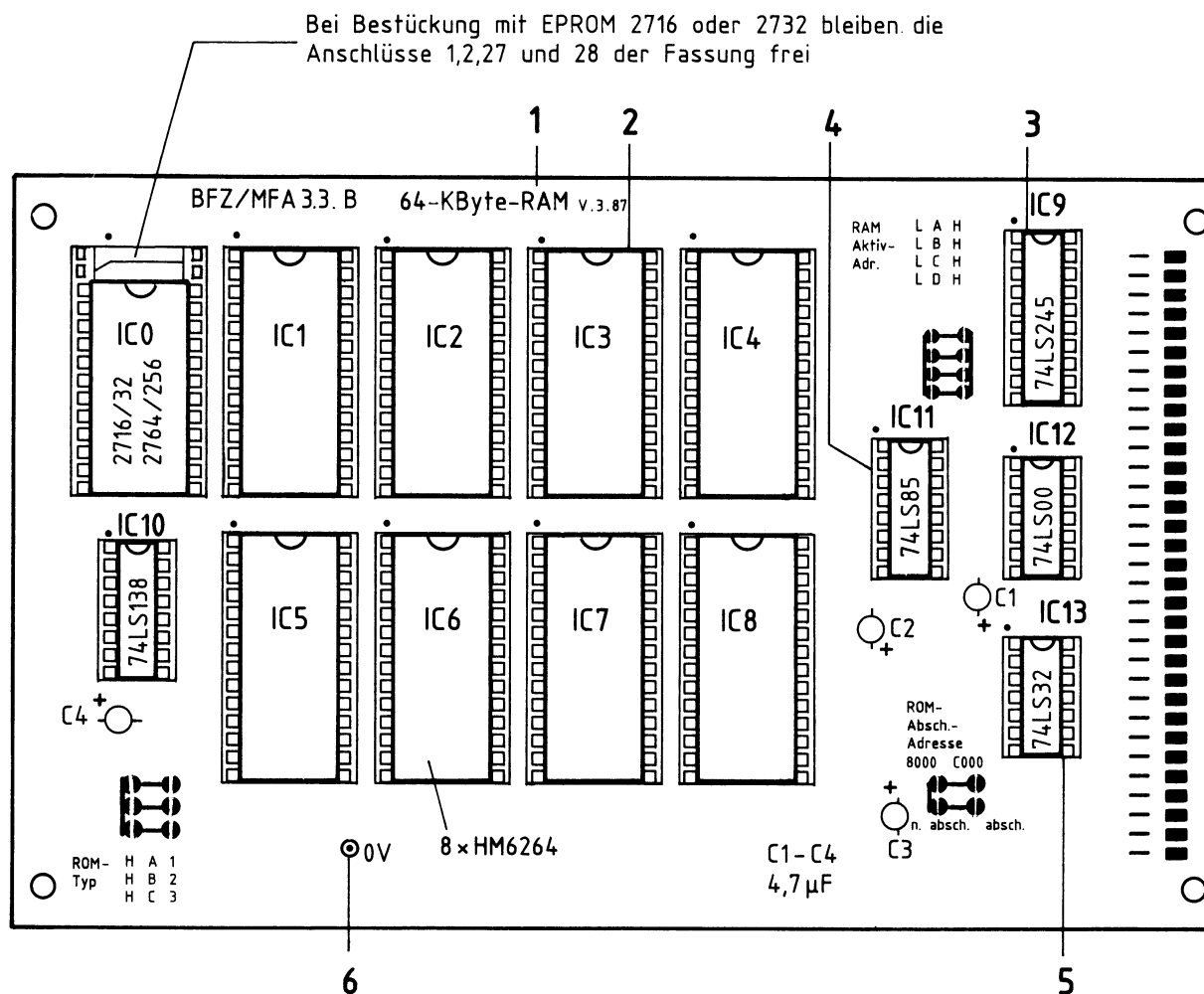
IC0: An 8191-bit EPROM. Its address lines (A0-A12) are connected to the decoder outputs. The chip select (CS1) is connected to the RAM chip select. The output enable (OE) is connected to the RAM chip select. The write enable (WE) is connected to the RAM chip select.

RAM (8x8-KByte): A memory module consisting of 8 chips (IC1-IC8). Each chip has a capacity of 8 Kbytes. The address lines (A0-A12) are connected to the decoder outputs. The chip select (CS1) is connected to the RAM chip select. The output enable (OE) is connected to the RAM chip select. The write enable (WE) is connected to the RAM chip select.

ROM-Brücken: A table showing the mapping of ROM types to their addresses. The table is as follows:

| ROM-Brücken | Typ | Adresse |
|-------------|------------|---------|
| 2716 | AH, BH | CH |
| 2732 | A1, B1 | CH |
| 2764 | A1, B1 | CH |
| 27128 | A1, B1, CH | CH |
| 27256 | A1, B1, CH | CH |

Bestückung Leiterplatte



Stückliste Leiterplatte BFZ/MFA 3.3.

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|-----------------------------------|--------------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 3.3. | |
| 2 | 9 | IC-Fassung 28polig | |
| 3 | 1 | IC-Fassung 20polig | |
| 4 | 2 | IC-Fassung 16polig | |
| 5 | 2 | IC-Fassung 14polig | |
| 6 | 1 | Lötstift/-nagel für 1,3 mm Loch-Ø | Meßstift für Masse (0 V) |

Bestückung Leiterplatte

Bauteilliste Leiterplatte BFZ/MFA 3.3.

| Kennz. | Benennung/Daten | Bemerkung |
|-----------|--------------------------------|-----------|
| C1...C4 | Tantal-Elko 4,7 μ F/35 V | |
| IC1...IC8 | RAM-Baustein 8K x 8 Bit | |
| IC9 | Acht Bus-Transceiver 74 LS 245 | Tri-State |
| IC10 | 3-Bit-Binärdekoder 74 LS 138 | |
| IC11 | 4-Bit-Vergleicher 74 LS 85 | |
| IC12 | Vier NAND-Gatter 74 LS 00 | |
| IC13 | Vier ODER-Gatter 74 LS 32 | |

Bereitstellungsliste zur Inbetriebnahme

Zur Inbetriebnahme bzw. Prüfung der Baugruppe "64-KByte-RAM" wird folgendes Material benötigt:

| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|--|
| 1 | Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1. | Alle Baugruppen komplett aufgebaut und geprüft |
| 1 | Bus-Abschluß BFZ/MFA 0.2. | |
| 1 | Trafo-Einschub BFZ/MFA 1.1. | |
| 1 | Spannungsregelung BFZ/MFA 1.2. | |
| 1 | Prozessor 8085 BFZ/MFA 2.1. | |
| 1 | 8-Bit-Parallel-Ausgabe BFZ/MFA 4.1. | |
| 1 | Bus-Signalgeber BFZ/MFA 5.1. | |
| 1 | Bus-Signalanzeige BFZ/MFA 5.2. | |
| 1 | Prüf-EPROM BFZ/MFA 3.3.P1 | wird während der Inbetriebnahme programmiert |

Zur Programmierung eines Prüf-EPROMs wird zusätzlich folgendes Material benötigt:

| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|---|
| 1 | 8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als EPROM-Baugruppe | bestückt mit MAT 85 |
| 1 | 8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als RAM-Baugruppe | bestückt mit mind. zwei Stück 2-K-RAM-Bausteinen ab Adresse F800 und E000 |
| 1 | EPROM-Programmierer BFZ/MFA 4.3.a | |
| 1 | ASCII-Tastatur BFZ/MFA 8.1. | |
| 1 | Video-Interface BFZ/MFA 8.2. | |
| 1 | Datensichtgerät | |
| 1 | Gleichspannungsnetzgerät | auf 27 V einstellbar, 1 A |
| 1 | EPROM 2K x 8 Bit, max. 350 ns, INTEL-kompatibel, z.B. 2716 | unprogrammiert |

1. Sichtkontrolle

Die Sichtkontrolle wird anhand von Stromlauf- und Bestckungsplan sowie Stück- und Bauteilliste durchgeführt.

- Sind alle Lötstellen ordnungsgemäß verlötet?
- Sind die Kondensatoren richtig gepolt?
- Sind alle ICs richtig eingesteckt?
- Sind alle Schrauben festgezogen?

2. Prüfen der Funktion

Folgende Lötbrücken müssen geschlossen sein: Im Brückenfeld...

- "RAM-Aktiv-Adr.": A-L, B-L, C-L, D-L
- "ROM-Absch.-Adr.": 8000
- "ROM n. absch. - absch.": absch.
- "ROM-Typ": A-H, B-H

2.1. Statische Überprüfung der 64-KByte-RAM-Baugruppe

Die statische Überprüfung erfolgt mit Hilfe eines TTL-Testers oder Vielfach-Meßinstrumentes. Zur Erzeugung und Anzeige der erforderlichen Adreß-, Daten- und Steuersignale dienen Bus-Signalgeber und Bus-Signalanzeige.

- Bestückung des Baugruppenträgers:
- Bus-Signalgeber
 - Bus-Signalanzeige
 - 64-KByte-RAM (über Adapterkarte)

Inbetriebnahme

2.1.1. \overline{CS} der RAMs

- Bus-Signalgeber-Schalter "ON/OFF" in Stellung "ON"
- Adresseinstellung lt. Tabelle und Überprüfung der \overline{CS} -Signale jeweils an Pin 20 von IC1 bis IC8

| ADDRESS
(eingest.) | Pegel an den \overline{CS} -Anschlüssen (Pin 20) von ... | | | | | | | |
|-----------------------|--|-----|-----|-----|-----|-----|-----|-----|
| | IC1 | IC2 | IC3 | IC4 | IC5 | IC6 | IC7 | IC8 |
| 0000 | L | H | H | H | H | H | H | H |
| 2000 | H | L | H | H | H | H | H | H |
| 4000 | H | H | L | H | H | H | H | H |
| 6000 | H | H | H | L | H | H | H | H |
| 8000 | H | H | H | H | L | H | H | H |
| A000 | H | H | H | H | H | L | H | H |
| C000 | H | H | H | H | H | H | L | H |
| E000 | H | H | H | H | H | H | H | L |

2.1.2. Datenflußrichtung, \overline{OE} des EPROMs, \overline{WE} der RAMs

- Bei betätigter MEMR-Taste muß an Pin 1 von IC9 und an Pin 22 von IC0 L-Pegel auftreten.
- Bei betätigter MEMW-Taste muß jeweils an Pin 27 von IC1 bis IC8 L-Pegel auftreten.

Inbetriebnahme

2.1.3. EPROM-Abschalt-Logik

- CPU-Baugruppe zusätzlich im Baugruppenträger
- Bus-Signalgeber-Schalter "ON/OFF" in Stellung "ON"
- Einmal Taste "RESET" betätigt
- Messung der Pegel lt. Tabelle (Reihenfolge einhalten!)

| ADRESS
(eingest.) | Taste
MEMR | IC 12.3
Pin 8 | IC 13.2
Pin 6 | IC 0
Pin 20 | IC 1
Pin 22 | IC 5
Pin 22 | Bemerkung |
|----------------------|---------------|------------------|------------------|----------------|----------------|----------------|------------------|
| 0000 | n.b. | L | L | L | H | H | EPROM aktiv |
| 0000 | bet. | L | L | L | H | H | |
| 7FFF | n.b. | L | H | H | H | H | |
| 7FFF | bet. | L | H | H | L | L | EPROM n.abgesch. |
| 8000 | n.b. | L | H | H | H | H | |
| 8000 | bet. | H | H | H | L | L | |
| 0000 | n.b. | H | L | H | H | H | EPROM abgesch. |
| 0000 | bet. | H | L | H | L | L | |
| 0000 | bet. | H | L | H | L | L | RAM aktiv |

n.b. = nicht betätigt

bet. = betätigt

2.2. Dynamische Prüfung der 64-KByte-RAM-Baugruppe

Die dynamische Prüfung erfolgt mit Hilfe eines Programms, das alle 65536 Speicherstellen der 64-KByte-RAM-Baugruppe testet. In den nächsten Arbeitsschritten wird die Erstellung eines 2-KByte-EPROMs beschrieben, welches das RAM-Testprogramm enthält.

Inbetriebnahme

2.2.1. Schritte zur Programmierung eines Prüf-EPROMs

Bestückung des Baugruppenträgers: - CPU 8085

- Video-Interface mit Tastatur und Datensichtgerät
- 8-K-RAM/EPROM, bestückt mit MAT 85
- 8-K-RAM/EPROM, bestückt mit mind. 4-K-RAM ab Adresse E000 und F800
- EPROM-Programmierer (mit 27 V versorgt)

- Eingabe des folgenden RAM-Prüfprogramms mit dem Kommando "MEMORY" ab Adresse E000:

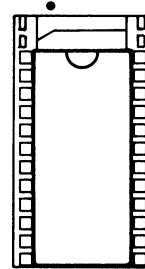
```
E000 31 FF FF F3 21 00 20 36
E008 00 23 7C FE FF C2 07 00
E010 16 3F 06 55 21 00 20 78
E018 77 2F 47 23 7D FE FF C2
E020 17 00 7C BA C2 17 00 21
E028 00 20 06 55 78 BE C2 57
E030 00 2F 47 23 7D FE FF C2
E038 2C 00 7C BA C2 2C 00 7A
E040 C6 20 57 23 AF BE C2 57
E048 00 7D FE FF C2 43 00 7C
E050 BA C2 43 00 C3 5C 00 2B
E058 3E 76 77 E9 21 6F 00 11
E060 00 20 06 76 7E 12 23 13
E068 05 C2 64 00 C3 00 20 16
E070 5F 21 00 40 2B 23 06 55
E078 78 77 2F 47 23 7D FE FF
E080 C2 09 20 7C BA C2 09 20
E088 23 7C D6 20 67 06 55 78
E090 BE C2 5E 20 2F 47 23 7D
E098 FE FF C2 20 20 7C BA C2
EOA0 20 20 FE 1F CA 63 20 7A
EOA8 C6 20 57 FE FF CA 06 20
EOB0 FE 1F CA 06 20 23 AF BE
EOB8 C2 5E 20 7D FE FF C2 46
EOC0 20 7C BA C2 46 20 7C D6
EOC8 20 67 C3 06 20 2B 3E 76
EOD0 77 E9 06 55 D3 00 11 FF
EOD8 4F 1B 7B B2 C2 6A 20 78
EOE0 2F 47 C3 65 20 00 00 00
```

- Kontrolle des eingegebenen RAM-Prüfprogramms mit dem Kommando "PRINT"
- Programmierung des EPROMs 2716 (Adresse 1E06 aufrufen, Start-Adr. E000)

Inbetriebnahme

2.2.2. Dynamische Prüfung der 64-KByte-RAM-Baugruppe

- Prüf-EPROM wie dargestellt in den Sockel für IC0 der 64-KByte-RAM-Baugruppe gesteckt



- Bestückung des Baugruppenträgers: CPU 8085
64-KByte-RAM
Bus-Signalanzeige
8-Bit-Parallel-Ausgabe (Port-Adr. 00)
- Schalter "ON/OFF" der Bus-Signalanzeige in Stellung "OFF"
- Schalter "HLT/RUN" der Bus-Signalanzeige in Stellung "RUN"
- Netzteil eingeschaltet

Beginnen nach kurzer Zeit die Leuchtdioden der 8-Bit-Parallel-Ausgabe zu blinken, so ist die 64-KByte-RAM-Baugruppe in Ordnung. Die Betriebsspannung kann dann abgeschaltet, die RAM-Baugruppe gezogen und das Prüf-EPROM entfernt werden.

Ist dies jedoch nicht der Fall, so ist die 64-KByte-RAM-Baugruppe defekt. Erscheint auf der Bus-Signalanzeige eine stabile Anzeige (z.B. ADDRESS: 6000, DATA: FF), gibt die Adresse die letzte regulär arbeitende Speicherstelle (gezählt ab 0000) an.

Nach der Reparatur der Baugruppe ist oben beschriebene Inbetriebnahme zu wiederholen.

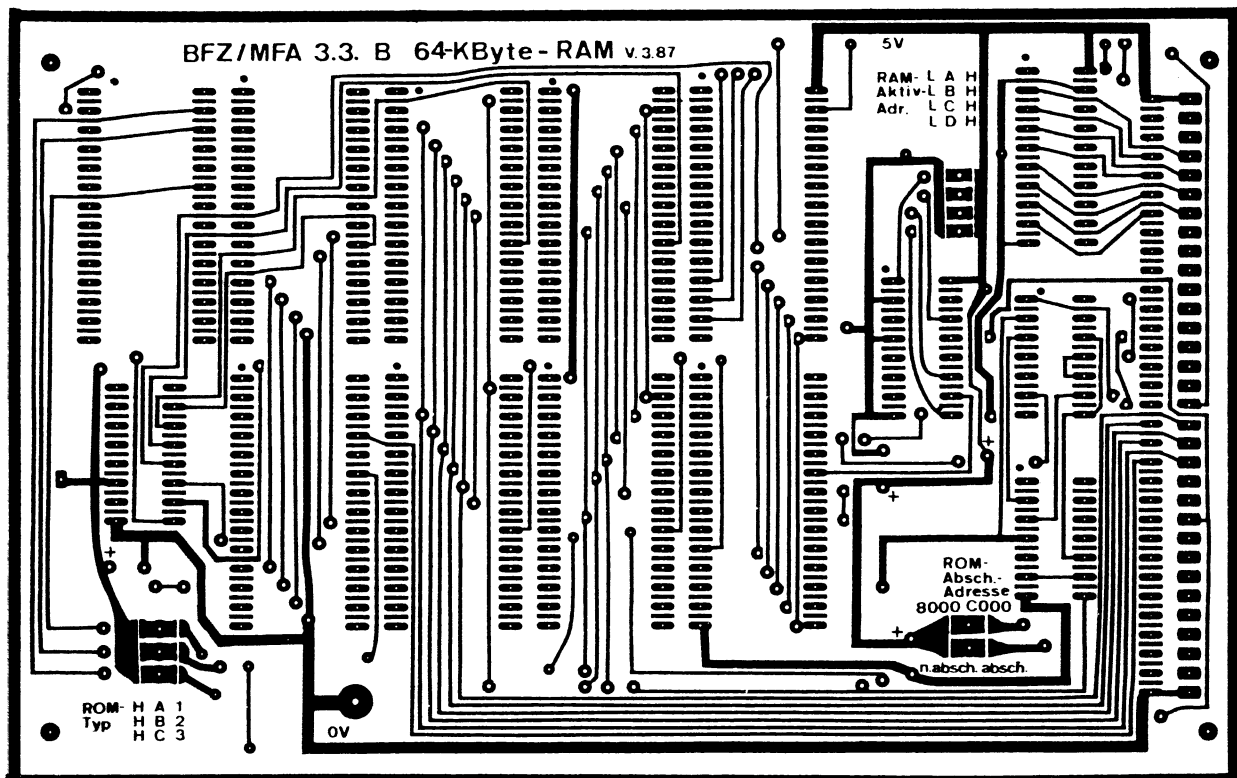
Damit ist die Inbetriebnahme beendet.

Bereitstellungsliste

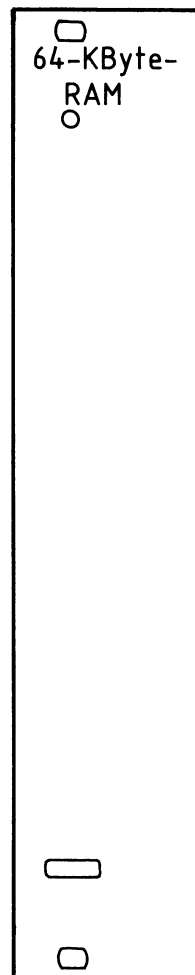
| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|---|
| 1 | Leiterplatte, BFZ/MFA 3.3. | |
| 1 | Frontplatte, Teilung L-C 05
Alu, 2 mm dick, Breite: 25,1 mm | z.B. Intermas
Nr. 409-017 665 |
| 1 | Griff komplett mit Abdeckung T03 | z.B. Intermas
Nr. 409-017 927 |
| 1 | Frontverbinder 1,6 FEE | z.B. Intermas
Nr. 409-024 830 |
| 1 | Messerleiste 64polig, DIN 41612 | z.B. Erni STV-P-364 a/c
Nr. 9722.333.401 |
| 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 2 | Zylinderschraube mit Schaft
BM2,5x10/5 DIN 84 | |
| 2 | Schraubensicherung, Kunststoff | z.B. Intermas
Nr. 409-026 748 |
| 5 | Federscheibe A2,7 DIN 137 | |
| 1 | Federring B2,5 DIN 127 | |
| 4 | Sechskantmutter M2,5 DIN 439 | |
| 4 | Tantal-Elko 4,7 μ F/35 V | Tropfenform |
| 1 | IC 74 LS 00, Vier NAND-Gatter | |
| 1 | IC 74 LS 32, Vier ODER-Gatter | |
| 1 | IC 74 LS 85, 4-Bit-Vergleicher | |
| 1 | IC 74 LS 138, 3-Bit-Binärdekoder | |
| 1 | IC 74 LS 245, Acht Bus-Transceiver | Tri-State |

Bereitstellungsliste

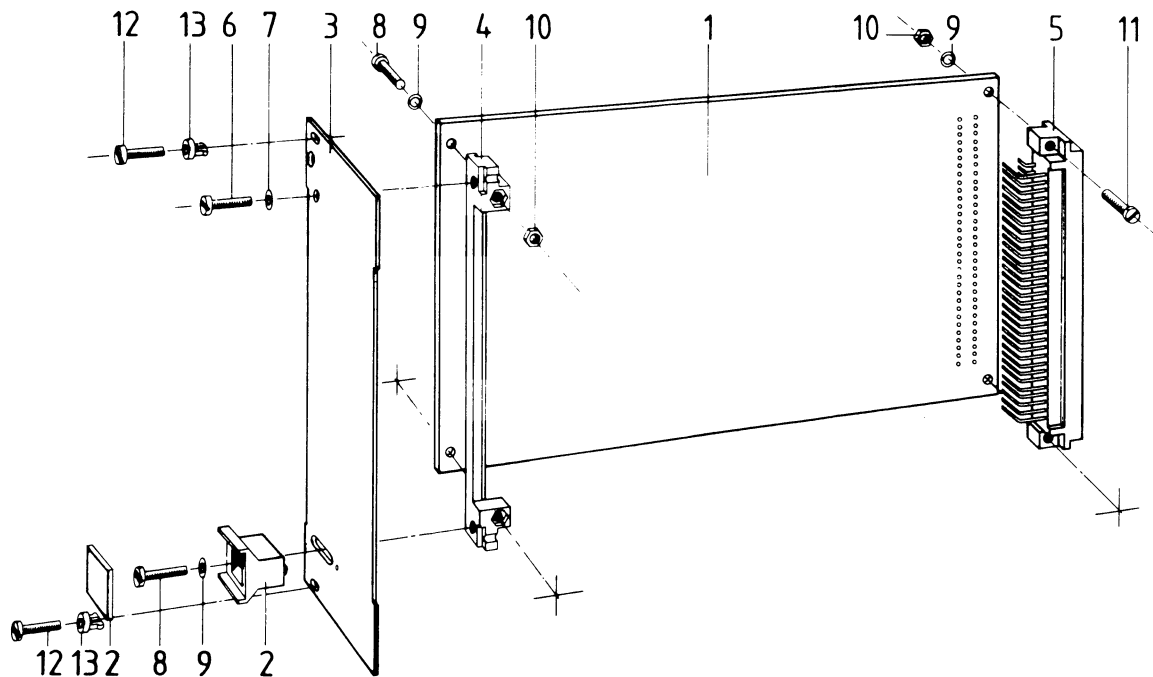
| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|------------------------------------|
| 8 | RAM-Baustein 8K x 8 Bit, statisch,
max. 300 ns, pinkompatibel mit 6264 | z.B. HM 6264
MB 8464-15L |
| 9 | IC-Fassung 28polig DIL | |
| 1 | IC-Fassung 20polig DIL | |
| 2 | IC-Fassung 16polig DIL | |
| 2 | IC-Fassung 14polig DIL | |
| 1 | Lötstift/Lötnagel für 1,3 mm Loch-Ø | Meßstift für Masse (0 V) |
| n.B. | Lötendraht | |
| n.B. | Lötlack | |
| n.B. | Reinigungsmittel | zum Entfetten der
Frontplatte |
| n.B. | Beschriftungsmaterial, Abreibe-
symbole oder Tuscheschreiber | zum Beschriften der
Frontplatte |
| n.B. | Plastik-Spray | zum Besprühen der
Frontplatte |



Beschriftung Frontplatte



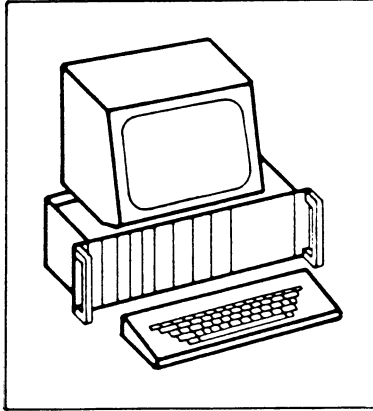
Zusammenbau Baugruppe



Stückliste für den Zusammenbau

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|-------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 3.3. | komplett bestückt |
| 2 | 1 | Griff komplett | |
| 3 | 1 | Frontplatte | |
| 4 | 1 | Frontverbinder | |
| 5 | 1 | Messerleiste 64polig, DIN 41612 | |
| 6 | 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 7 | 1 | Federring B2,5 DIN 127 | |
| 8 | 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 9 | 5 | Federscheibe A2,7 DIN 137 | |
| 10 | 4 | Sechskantmutter M2,5 DIN 439 | |
| 11 | 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 12 | 2 | Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84 | |
| 13 | 2 | Schraubensicherung, Kunststoff | |

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



8-Bit-Parallel-Eingabe
(galv. getrennt)

BFZ/MFA 4.8.



Inhaltsverzeichnis

| Inhalt | Seite |
|---|-------|
| Hinweise | 1 |
| Blockschaltbild | 2 |
| Funktionsbeschreibung | 3 |
| Technische Daten | 3 |
| Stromlaufplan | 4 |
| Bestückung Leiterplatte | 5 |
| Bereitstellungsliste zur Inbetriebnahme | 7 |
| Inbetriebnahme | 8 |
| Bereitstellungsliste | 11 |
| Bohrplan Leiterplatte | 13 |
| Layout Bestückungsseite | 14 |
| Bohrplan Frontplatte | 15 |
| Zusammenbau Baugruppe | 16 |

Hinweise

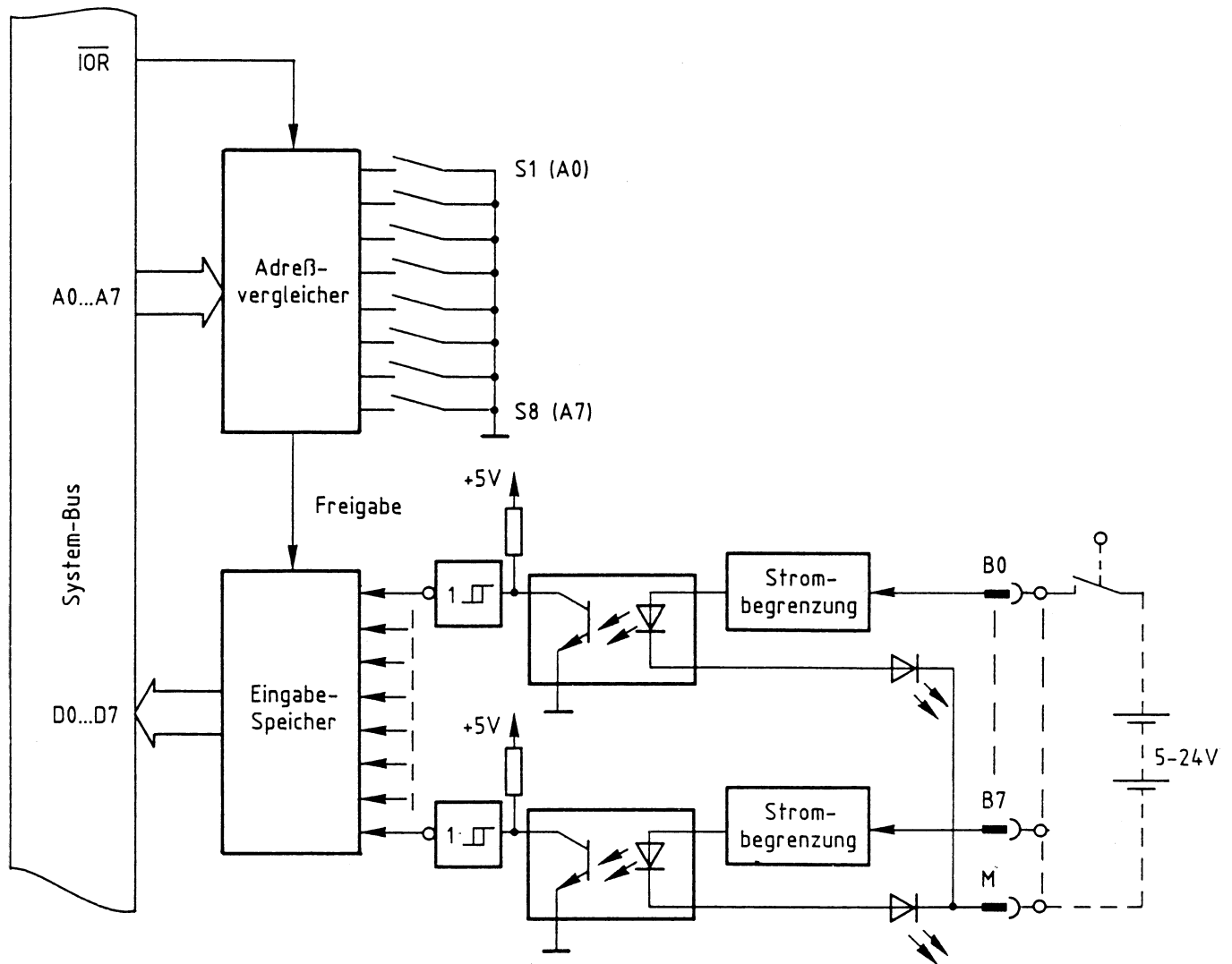
Die 8-Bit-Parallel-Eingabe-Baugruppe mit galvanisch getrennten Eingängen ist für den Anschluß von Modellen und Anlagen an den BFZ/MFA-Mikrocomputer vorgesehen. Die Baugruppe sollte immer dann eingesetzt werden, wenn die Gefahr von Störeinkopplungen besteht, wie z.B. beim Schalten von induktiven Lasten. Darüber hinaus wird sie notwendig, wenn Sensoren und Signalgeber mit externen Betriebsspannungen an den Mikrocomputer angeschlossen werden sollen. Zur galvanischen Trennung besitzen die acht Eingänge Optokoppler.

Die Eingangsspannung der Baugruppe darf bis zu 24 V betragen (Gleichspannung), wobei Werte zwischen 0 V und 2 V L-Pegel und Werte zwischen 5 V und 24 V H-Pegel entsprechen. Der maximale Eingangsstrom bei H-Pegel beträgt ca. 10 mA.

Da diese Werte weitgehend den Daten industrieüblicher SPS-Steuerungen entsprechen, ist die Baugruppe auch für den Ausbau des BFZ/MFA-Mikrocomputers zur SPS-Steuerung geeignet.

Der hierzu erforderliche SPS-Interpreter ist Bestandteil der "Software-Erweiterung SP 1" zum BFZ/MFA-Mikrocomputer (siehe im Band "Fachtheoretische Übungen"). Einzelheiten zum Betrieb von Eingabe-Ports sind in der Übung "8-Bit-Parallel-Eingabe" (BFZ/MFA 4.2.) beschrieben.

Blockschaltbild



Funktionsbeschreibung

Die Funktionsbeschreibung bezieht sich nur auf das Blockschaltbild und ist für den Ausbilder gedacht. Schaltungseinzelheiten werden nicht behandelt.

Die Baugruppe "8-Bit-Parallel-Eingabe (galv. getrennt)" besitzt acht Eingänge mit Optokopplern zur galvanischen Trennung zwischen den Potentialen des Eingangskreises und des Mikrocomputers.

Die Eingangsspannung kann maximal 24 V betragen. Werte oberhalb von 5 V werden als H-Pegel und unterhalb von 2 V als L-Pegel erkannt.

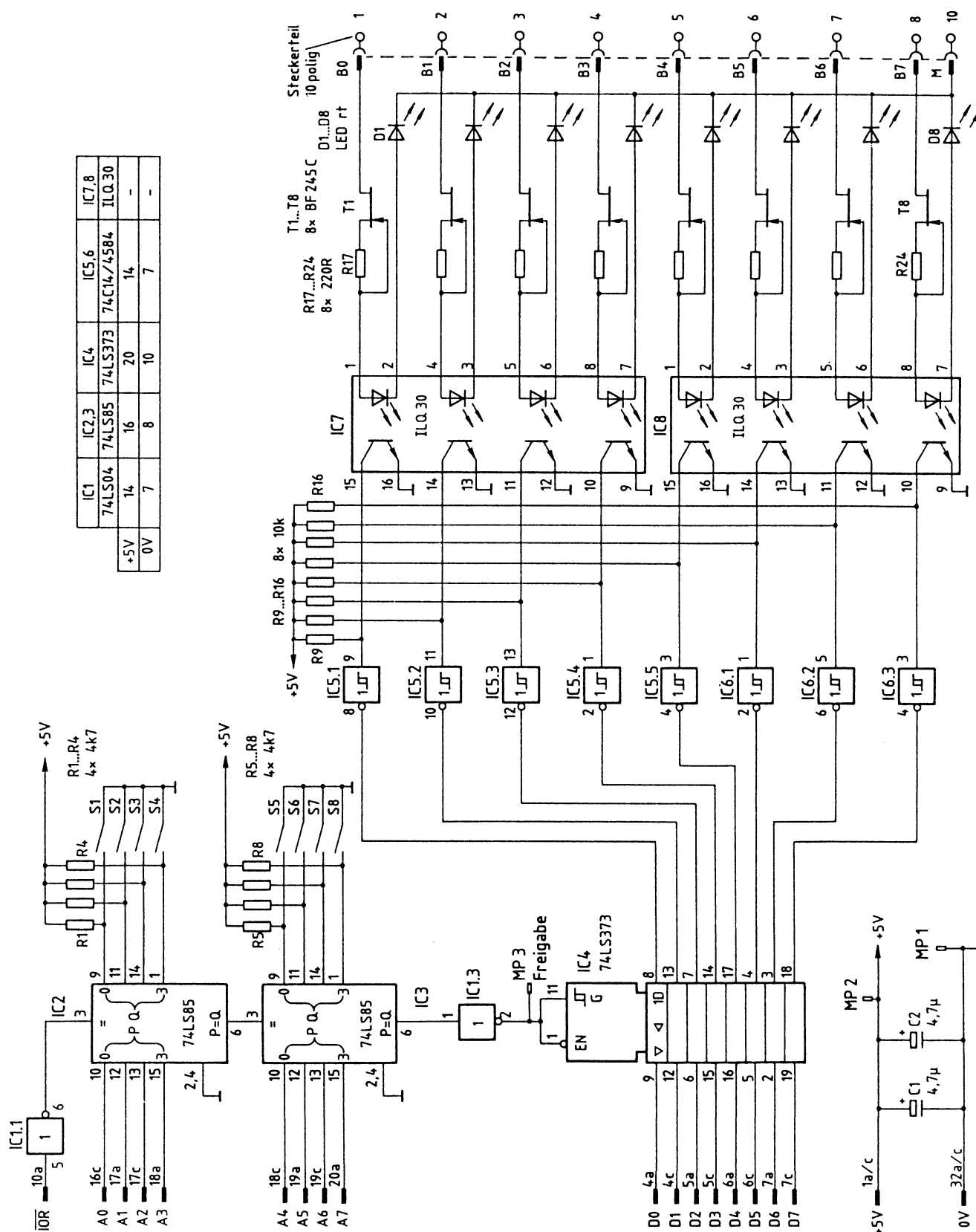
Bei offenem Eingang (z.B. B0) fließt im Eingangskreis kein Strom und der Fototransistor des Optokopplers ist gesperrt. Hierdurch erhält der Eingang des invertierenden Schmitt-Triggers H-Pegel und der Eingang des Eingabe-Speichers L-Pegel. Wird z.B. an B0 eine Spannung zwischen 5 V und 24 V angelegt, so fließt ein auf ca. 10 mA begrenzter Strom durch die LED des Optokopplers und durch die Kontroll-LED, die sich auf der Frontplatte der Baugruppe befindet. Die Optokoppler-LED steuert den Fototransistor durch, so daß der Eingang des invertierenden Schmitt-Triggers nun L-Pegel und der Eingang des Eingabe-Speichers H-Pegel erhält.

Die Eingabe-Daten gelangen nur bei Freigabe des Eingabe-Speichers auf den Daten-Bus. Die Freigabe erfolgt, wenn der Prozessor die richtige Port-Adresse (mit S1 bis S8 einstellbar) und das Steuersignal $\overline{\text{IOR}}$ ausgibt.

Technische Daten

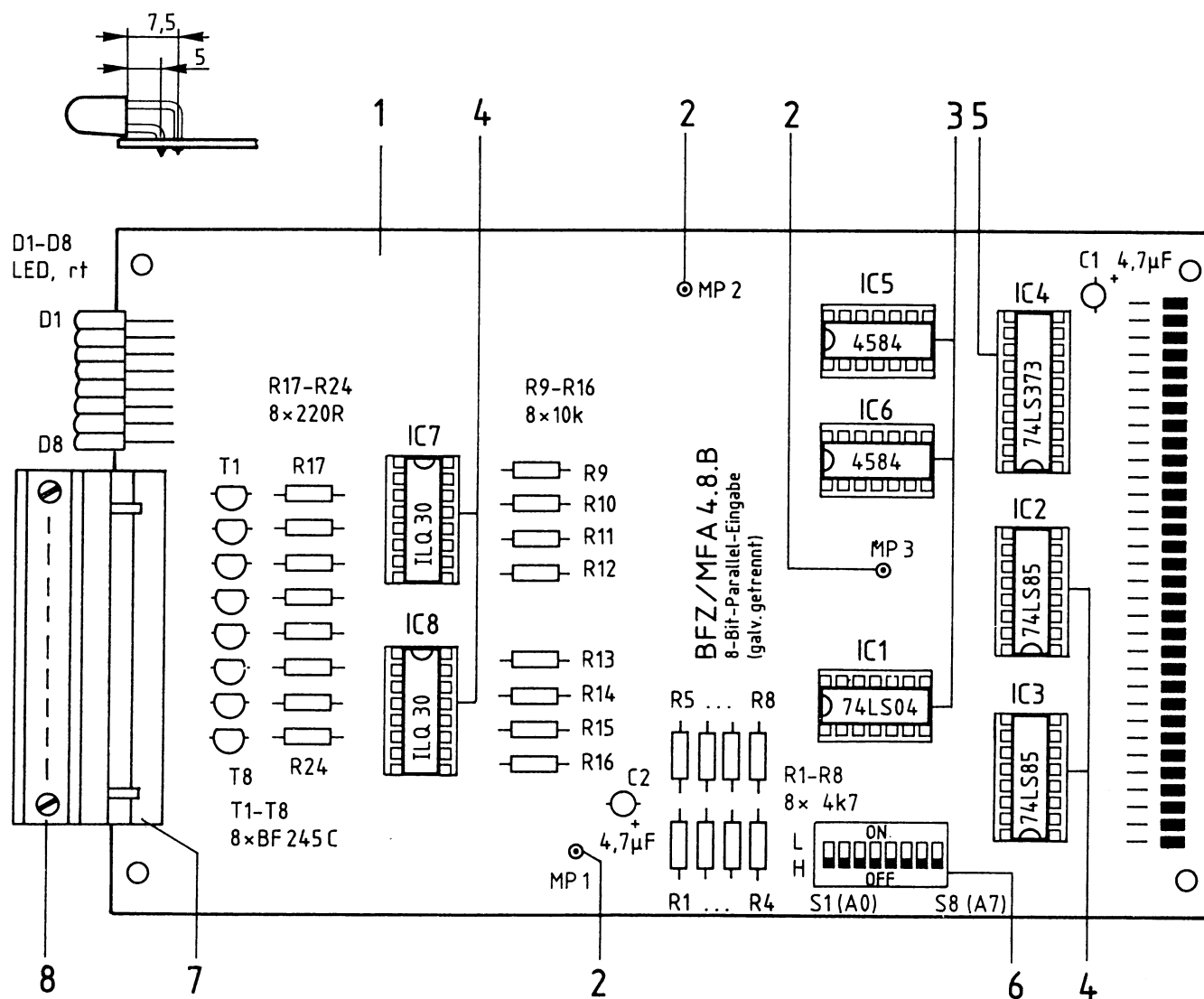
- * Acht galvanisch getrennte Eingänge (Optokoppler) mit gemeinsamem Bezugspotential; Eingangssignalanzeige für jedes Bit; einstellbare Portadresse
- * Eingangsspannung für L-Pegel: 0 V bis 2 V (Gleichspannung)
für H-Pegel: 5 V bis 24 V (Gleichspannung)
- * Eingangsstrom für H-Pegel: 2 mA
bei 5 V Eingangsspannung : ca. 6 mA
ab 8 V Eingangsspannung : auf 10 mA begrenzt
- * Anschluß von Sensoren, Signalgebern, Modellen und Anlagen, Realisierung von SPS-Steuerungen mit dem BFZ/MFA-Computer

Stromlaufplan



Stromlaufplan 8-Bit-Parallel-Eingabe (galv. getrennt)

Bestückung Leiterplatte



Stückliste Leiterplatte BFZ/MFA 4.8.

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|-----------------------------------|---------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.8. | |
| 2 | 3 | Lötstift/-nagel für 1,3 mm Loch-Ø | Meßpunkte MP1 - MP3 |
| 3 | 3 | IC-Fassung 14polig | |
| 4 | 4 | IC-Fassung 16polig | |
| 5 | 1 | IC-Fassung 20polig | |
| 6 | 1 | Miniatur-Schiebeschalter 8polig | |
| 7 | 1 | Grundgehäuse 10polig | |
| 8 | 1 | Steckerteil 10polig | |

Bestückung Leiterplatte

Bauteilliste Leiterplatte BFZ/MFA 4.8.

| Kennz. | Benennung/Daten | Bemerkung |
|-----------|------------------------------|--|
| R1...R8 | Widerstand 4,7 k Ω | Alle Widerstände
$\pm 5\%$, 0,25 W |
| R9...R16 | Widerstand 10 k Ω | |
| R17...R24 | Widerstand 220 Ω | |
| C1, C2 | Tantal-Elko 4,7 μ F/35 V | Tropfenform |
| IC1 | Sechs Inverter 74 LS 04 | |
| IC2, IC3 | 4-Bit-Vergleicher 74 LS 85 | |
| IC4 | 8-Bit-D-Flipflop 74 LS 373 | oder 74 C 14 |
| IC5, IC6 | 6 Inv. Schmitt-Trigger 4584 | |
| IC7, IC8 | 4-fach Optokoppler ILQ 30 | |
| T1...T8 | Sperrschicht-FET BF 245 C | oder ILQ 74 |
| D1...D8 | LED, rot, anreihbar | |
| | | abgewinkelt montiert |

Bereitstellungsliste zur Inbetriebnahme

Zur Inbetriebnahme bzw. Prüfung der Baugruppe "8-Bit-Parallel-Eingabe (galv. getrennt)" wird folgendes Material benötigt:

| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|--|
| 1 | Baugruppenträger mit Busverdrahtung
BFZ/MFA 0.1. | Alle Baugruppen
komplett aufge-
baut und geprüft |
| 1 | Bus-Abschluß BFZ/MFA 0.2. | |
| 1 | Trafo-Einschub BFZ/MFA 1.1. | |
| 1 | Spannungsregelung BFZ/MFA 1.2. | |
| 1 | Bus-Signalgeber BFZ/MFA 5.1. | |
| 1 | Bus-Signalanzeige BFZ/MFA 5.2. | |
| 1 | Adapterkarte 64polig BFZ/MFA 5.3. | |
| 1 | Gleichspannungs-Netzgerät, Spannung
einstellbar 0...30 V, 1 A | |
| 2 | Vielfachmeßinstrument | |

Inbetriebnahme

1. Sichtkontrolle

Die Sichtkontrolle wird anhand von Stromlauf- und Bestückungsplan sowie Stück- und Bauteilliste durchgeführt.

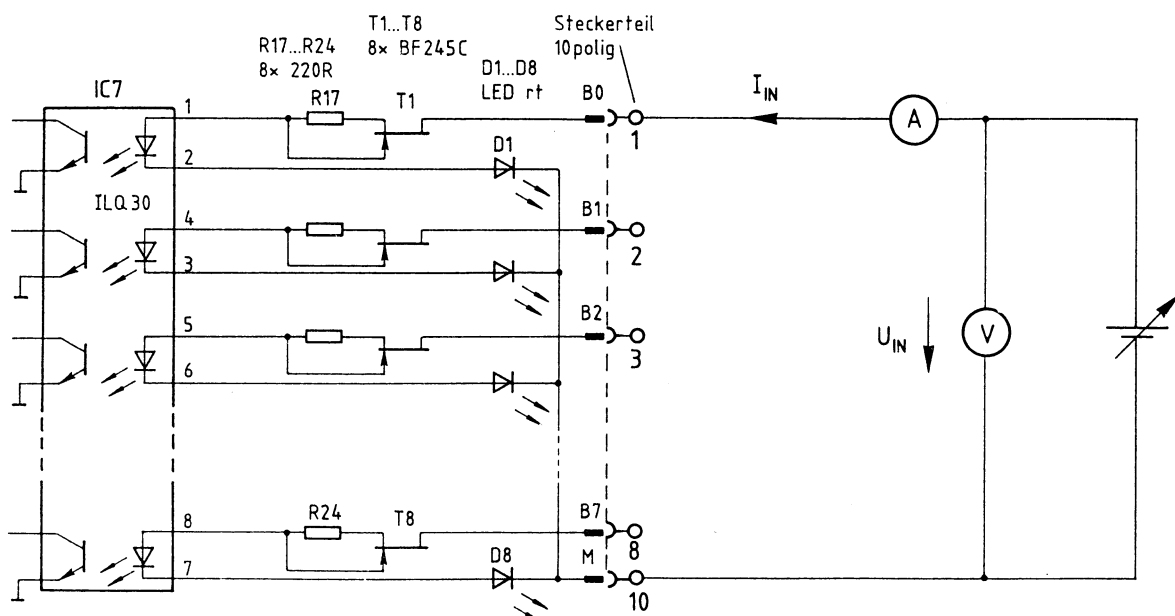
- Sind alle Lötstellen ordnungsgemäß verlötet?
- Sind alle Elektrolytkondensatoren richtig gepolt?
- Sind alle ICs richtig eingesteckt?
- Sind alle Schrauben festgezogen?

2. Funktionsprüfung

2.1. Prüfen der Eingangsströme

Die Eingänge B0 bis B7 werden einzeln daraufhin überprüft, ob die erforderlichen Ströme eingehalten werden. Der Stromkreis jedes Eingangs besteht aus einem Feldeffekttransistor, der als Strombegrenzer geschaltet ist, einer Optokoppler-LED und einer Kontroll-LED.

- Aufbau der Meßschaltung für Bit 0 nach untenstehendem Bild



Inbetriebnahme

Messung der Eingangsströme:

- Spannung U_{IN} auf 2 V eingestellt und I_{IN} gemessen: I_{IN} muß kleiner als 0,1 mA sein, die Kontroll-LED für Bit 0 darf nicht leuchten
- Spannung U_{IN} auf 5 V eingestellt und I_{IN} gemessen: I_{IN} muß einen Wert zwischen 4 mA und 8 mA haben, die Kontroll-LED für Bit 0 leuchtet
- Spannung U_{IN} auf 24 V eingestellt und I_{IN} gemessen: I_{IN} darf nicht größer als 12 mA sein, die Kontroll-LED für Bit 0 leuchtet
- Wiederholung dieser Messungen für die Bits B1 bis B7

2.2. Prüfen des Freigabesignals und des Eingabe-Speichers

- DIL-Schalter S1 bis S8 der 8-Bit-Parallel-Eingabe (galv. getrennt) in Stellung "ON" geschaltet (Port-Adresse 00), Baugruppe über Adapterkarte in den Baugruppenträger eingesteckt, alle Eingänge frei
- Bus-Signalgeber in den Baugruppenträger eingesteckt, Einstellungen:
Schalter "ON/OFF" in Stellung "ON", ADDRESS = 0000, DATA = 55
- Bus-Signalanzeige eingesteckt (beliebige Stellung der Schalter)
- Messung des logischen Pegels am Meßpunkt MP3 gegen 0 V (MP1), Beobachtung der DATA-Anzeige:
 1. Keine Steuertaste des Bus-Signalgebers betätigt: H-Pegel an MP3, DATA-Anzeige: "55" (Anzeige der am Bus-Signalgeber eingestellten Daten)
 2. Steuertaste "IOR" des Bus-Signalgebers betätigt: L-Pegel an MP3, DATA-Anzeige: "00" (Anzeige der Eingabedaten, B0 bis B7 haben L-Pegel)
 3. Neuer Wert für ADDRESS : 0001, Steuertaste "IOR" des Bus-Signalgebers betätigt: H-Pegel an MP3, DATA-Anzeige: "FF" (Bus-Signalgeber zeigt die Daten des "offenen" Daten-Busses an, da falsche Port-Adresse vorliegt)

Inbetriebnahme

2.3. Überprüfung der Optokoppler

Nun wird geprüft, ob die Optokoppler richtig arbeiten und an B0 bis B7 angelegte Eingabe-Daten richtig gelesen werden können.

- Einstellungen am Bus-Signalgeber: ADDRESS = 0000, DATA = CC
- Anschluß der Eingabe-Bits B0, B2, B4 und B6 an $U_{IN} = 5\text{ V}$
 1. Die Kontroll-LEDs für B0, B2, B4 und B6 müssen leuchten
 2. Bei Betätigung der Taste "IOR" des Bus-Signalgebers muß der Datenwert 55 angezeigt werden
- Anschluß der Eingabe-Bits B1, B3, B5 und B7 an $U_{IN} = 5\text{ V}$
 1. Die Kontroll-LEDs für B1, B3, B5 und B7 müssen leuchten
 2. Bei Betätigung der Taste "IOR" des Bus-Signalgebers muß der Datenwert AA angezeigt werden

Damit ist die Inbetriebnahme beendet

Bereitstellungsliste

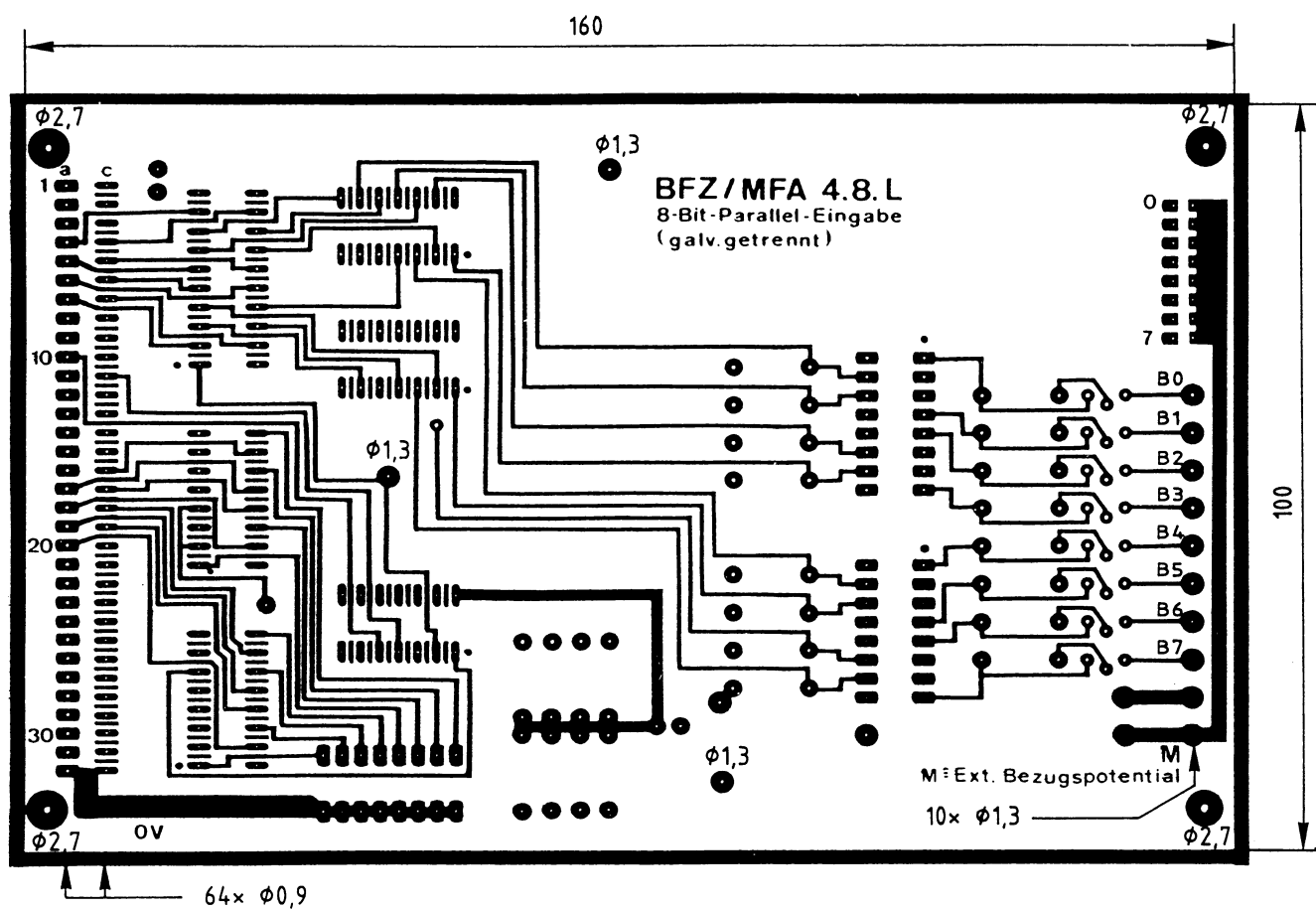
| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|---|
| 1 | Leiterplatte, BFZ/MFA 4.8 | |
| 1 | Frontplatte, Teilung L-C 05
Alu, 2 mm dick, Breite: 25,1 mm | z.B. Intermas
Nr. 409-017 665 |
| 1 | Griff komplett mit Abdeckung T03 | z.B. Intermas
Nr. 409-017 927 |
| 1 | Frontverbinder 1,6 FEE | z.B. Intermas
Nr. 409-024 830 |
| 1 | Messerleiste 64polig, DIN 41612 | z.B. Erni STV-P-364 a/c
Nr. 9722.333.401 |
| 1 | Combicon-Grundgehäuse 10polig, Ein-
bauraster 5,08 mm, 90°-abgewinkelte
Montage, ohne seitliche Wände | Phoenix-Contact
Typ MSTB 1,5/10-G-5,08
Best. Nr. 175 9091
(Postf. 1341, 4933 Blomberg) |
| 1 | Combicon-Steckerteil 10polig, Draht-
einführung in Steckrichtung | Phoenix-Contact
Typ MSTB 1,5/10-ST-5,08
Best. Nr. 175 7093 |
| 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 2 | Zylinderschraube mit Schaft
BM2,5x10/5 DIN 84 | |
| 5 | Federscheibe A2,7 DIN 137 | |
| 1 | Federring B2,5 DIN 127 | |
| 4 | Sechskantmutter M2,5 DIN 439 | |
| 2 | Schraubensicherung, Kunststoff | z.B. Intermas
Nr. 409-026 748 |

Bereitstellungsliste

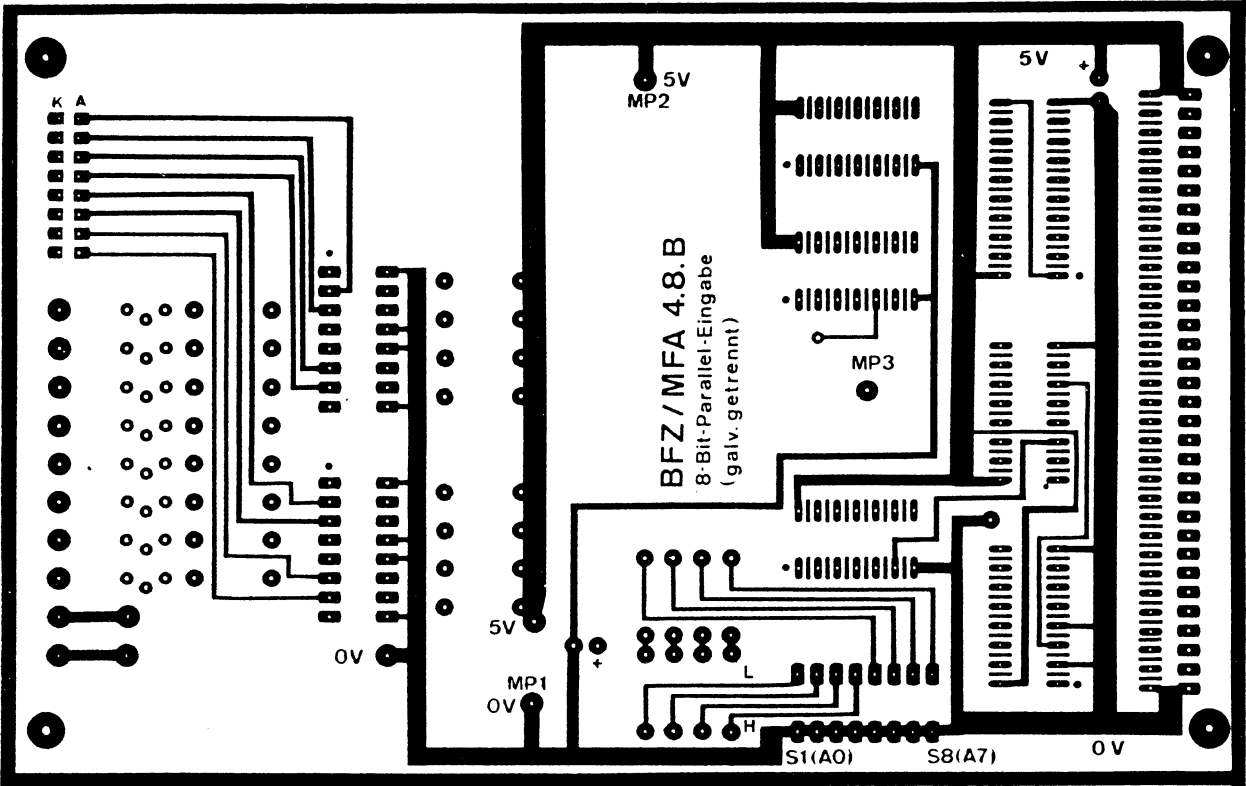
| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|--|
| 1 | Miniatur-Schiebeschalter 8polig DIL | |
| 8 | Anreih-LED, rt, rechteckig 2,5 x 5 mm | z.B. CQX 10 |
| 2 | Tantal-Elko 4,7 μ F/35 V | Tropfenform |
| 8 | Widerstand 220 Ω | Alle Widerstände
$\pm 5\%$, 0,25 W |
| 8 | Widerstand 4,7 k Ω | |
| 8 | Widerstand 10 k Ω | |
| 8 | Sperrschicht-FET BF 245 C | |
| 1 | IC 74 LS 04, Sechs Inverter | |
| 2 | IC 74 LS 85, 4-Bit-Vergleicher | |
| 1 | IC 74 LS 373, 8-Bit-D-Flipflop | |
| 2 | IC 4584, Sechs inv. Schmitt-Trigger | CMOS, oder 74 C 14 |
| 2 | IC ILQ 30, 4-fach Optokoppler | oder ILQ 74 |
| 1 | IC-Fassung 20polig DIL | |
| 4 | IC-Fassung 16polig DIL | |
| 3 | IC-Fassung 14polig DIL | |
| 3 | Lötstift/Lötnagel für 1,3 mm Loch- \emptyset | als Meßpunkte |
| n.B. | Lötdraht | |
| n.B. | Lötlack | |
| n.B. | Reinigungsmittel | zum Entfetten der Frontplatte |
| n.B. | Beschriftungsmaterial, Abreibe-
symbole oder Tuscheschreiber | zum Beschriften der Frontplatte |
| n.B. | Plastik-Spray | zum Besprühen der Frontplatte |

Das zur Inbetriebnahme der Baugruppe erforderliche Material ist der Bereitstellungsliste zur Inbetriebnahme zu entnehmen.

Bohrplan Leiterplatte

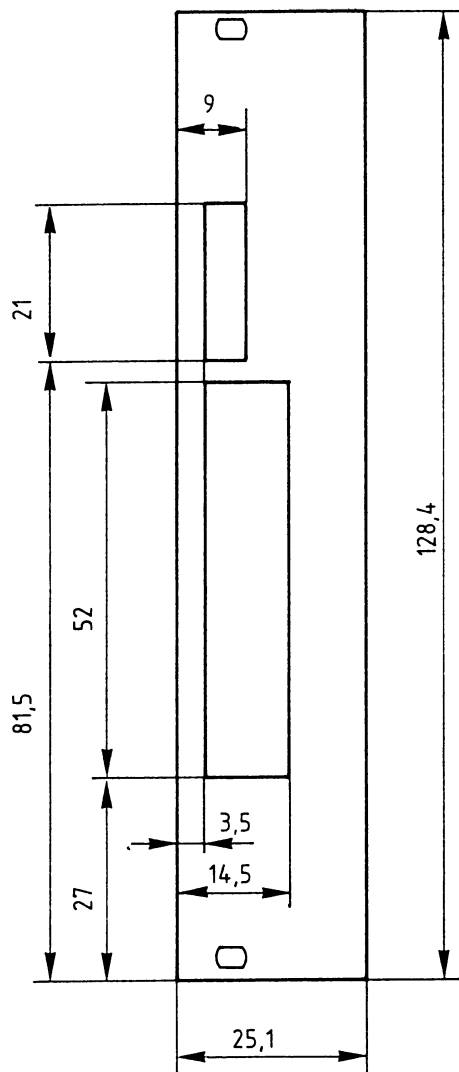
Alle nicht bemaßten Bohrungen $\phi 0,8$ mm

Benötigte Bohrer: 0,8 - 0,9 - 1,3 - 2,7 mm

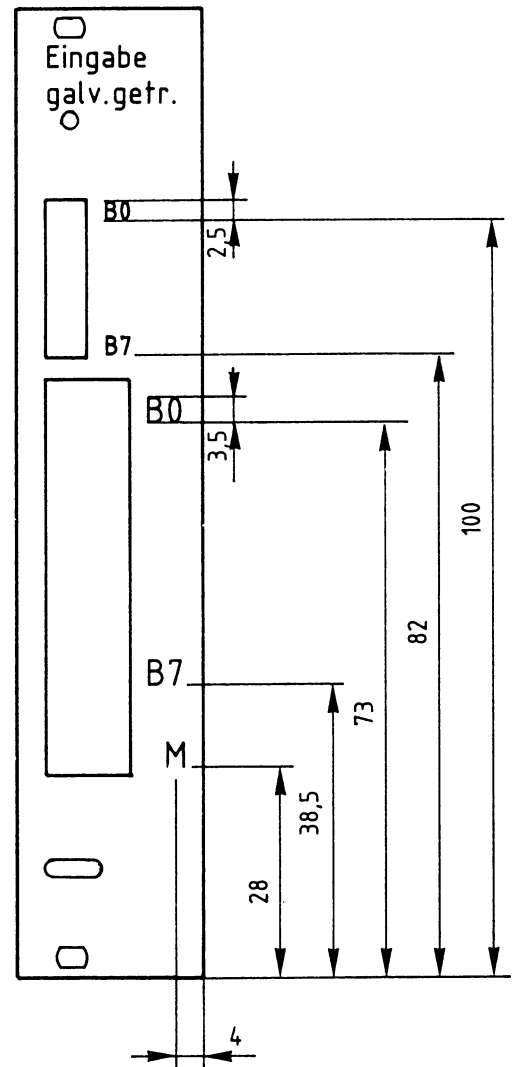


Bohrplan Frontplatte

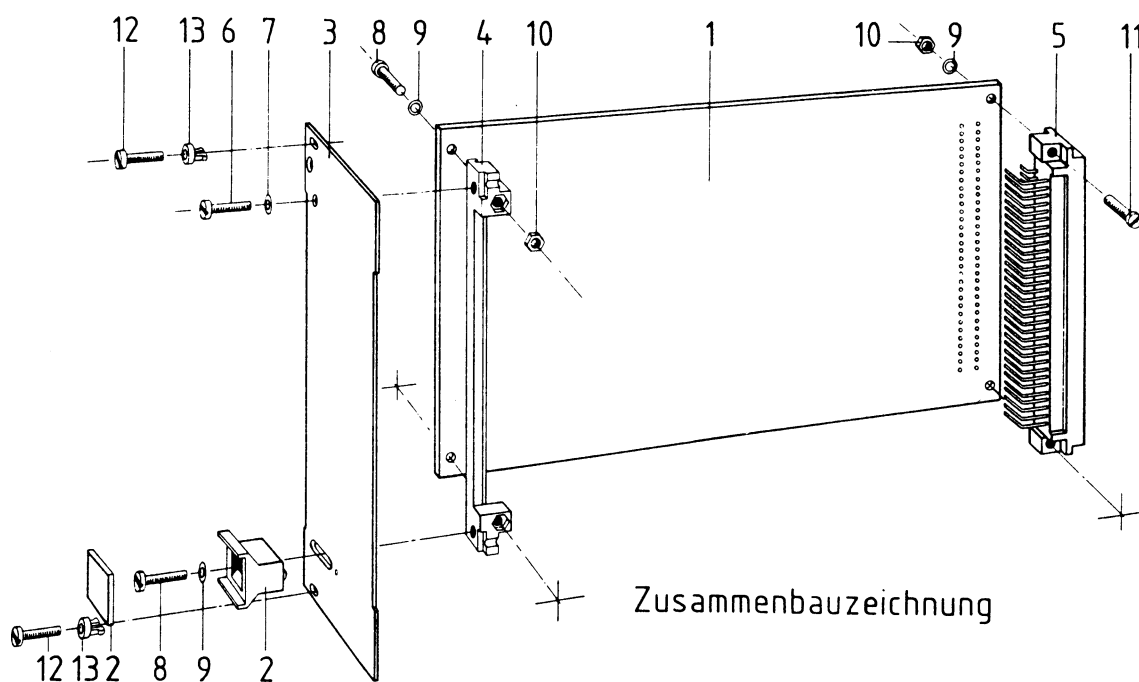
Beschriftungsvorschlag



Material: Frontplatte L-C05
Alu 2mm



Zusammenbau Baugruppe

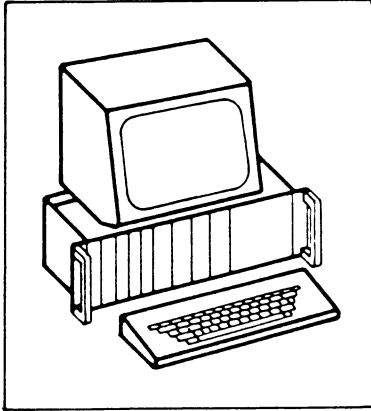


Stückliste für den Zusammenbau

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|-------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.8. | komplett bestückt |
| 2 | 1 | Griff komplett | |
| 3 | 1 | Frontplatte | |
| 4 | 1 | Frontverbinder | |
| 5 | 1 | Messerleiste 64polig, DIN 41612 | |
| 6 | 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 7 | 1 | Federring B2,5 DIN 127 | |
| 8 | 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 9 | 5 | Federscheibe A2,7 DIN 137 | |
| 10 | 4 | Sechskantmutter M2,5 DIN 439 | |
| 11 | 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 12 | 2 | Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84 | |
| 13 | 2 | Schraubensicherung, Kunststoff | |

FACHPRAKTISCHE ÜBUNG

MIKROCOMPUTER-TECHNIK



8-Bit-Parallel-Ausgabe
(galv. getrennt)

BFZ/MFA 4.9.



Inhaltsverzeichnis

| Inhalt | Seite |
|---|-------|
| Hinweise | 1 |
| Blockschaltbild | 2 |
| Funktionsbeschreibung | 3 |
| Hinweise zum Anschluß von Lasten | 4 |
| Technische Daten | 5 |
| Stromlaufplan | 6 |
| Bestückung Leiterplatte | 7 |
| Bereitstellungsliste zur Inbetriebnahme | 10 |
| Inbetriebnahme | 11 |
| Bereitstellungsliste | 14 |
| Bohrplan Leiterplatte | 17 |
| Layout Bestückungsseite | 18 |
| Bohrplan Frontplatte | 19 |
| Fertigung Kühlkörper | 20 |
| Zusammenbau Baugruppe | 21 |

Hinweise

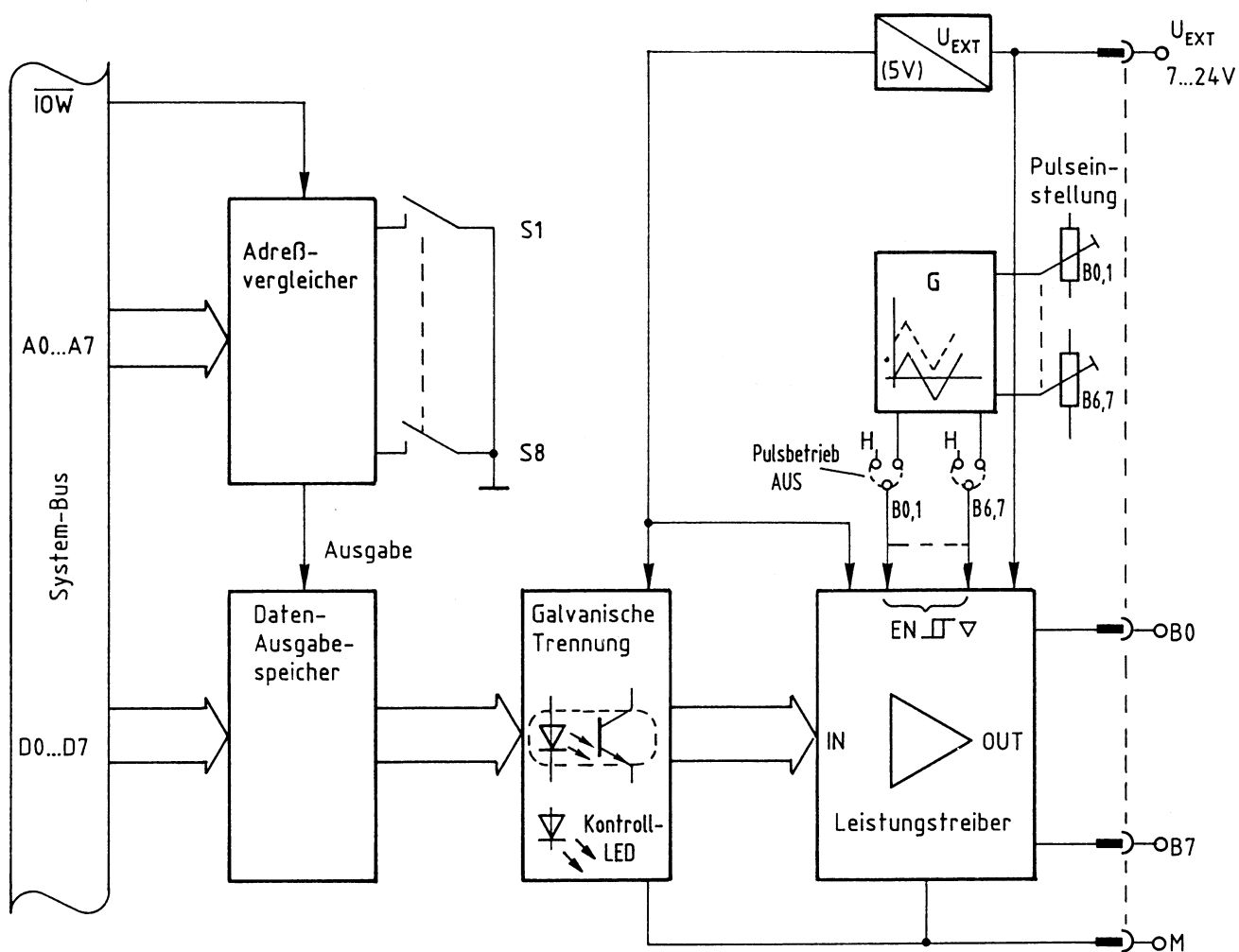
Die 8-Bit-Parallel-Ausgabe-Baugruppe mit galvanisch getrennten Ausgängen ist für die Ansteuerung von Gleichstrommotoren, Relais, Lampen und Wegeventilen durch den BFZ/MFA-Mikrocomputer vorgesehen.

Die extern an die Baugruppe anzuschließende Lastspannung kann Werte zwischen 7 V und 24 V besitzen (Gleichspannung). Der maximale Ausgangsstrom ist abhängig von der Anzahl der benutzten Ausgänge und liegt zwischen 0,5 A und 1 A (siehe "Technische Daten").

Alle Ausgänge sind Gegentaktausgänge, wodurch auch Brückenschaltungen z.B. zur Ansteuerung von Gleichstrommotoren mit Richtungsumkehr und Bremsbetrieb möglich werden. Außerdem können die Ausgänge im Taktbetrieb mit einstellbarem Impuls/Pausen-Verhältnis betrieben werden, wodurch sich unterschiedlich hohe Ausgangsspannungen bei nur einer externen Lastspannung erzielen lassen.

Die Baugruppe ist aufgrund ihrer technischen Daten auch für den Einsatz in SPS-Steuerungen geeignet. Der hierzu erforderliche SPS-Interpreter ist Bestandteil der "Software-Erweiterung SP 1" zum BFZ/MFA-Mikrocomputer. Er ist im Band "Fachtheoretische Übungen" beschrieben.

Blockschaltbild



Funktionsbeschreibung

Die Funktionsbeschreibung bezieht sich nur auf das Blockschaltbild und ist für den Ausbilder gedacht. Schaltungseinzelheiten werden nicht behandelt.

Die von der CPU an die Peripherie auszugebenden Daten gelangen über den Daten-Bus in den Daten-Ausgabespeicher, wenn der Adreßvergleichervom Adreß-Bus die richtige Adresse erhält und außerdem das Steuersignal \overline{IOW} aktiv ist.

Jedes Bit steuert einen Optokoppler zur galvanischen Trennung von Steuer- und Lastkreis an und außerdem eine Kontroll-LED, die bei H-Pegel leuchtet.

Die Fototransistoren der Optokoppler steuern die IN-Eingänge eines 8fach-Leistungstreibers an, dessen Ausgänge B0 bis B7 auf die Frontplatte der Baugruppe geführt sind. Die Lastspannung U_{EXT} (7 V bis 24 V) wird dem Leistungstreiber von außen zugeführt. Die erforderliche Spannungsquelle muß für den Laststrom aller angeschlossenen Verbraucher ausgelegt sein. Aus U_{EXT} wird außerdem eine 5-V-Versorgungsspannung gebildet, die gegenüber der 5-V-Versorgungsspannung des Mikrocomputers galvanisch getrennt ist.

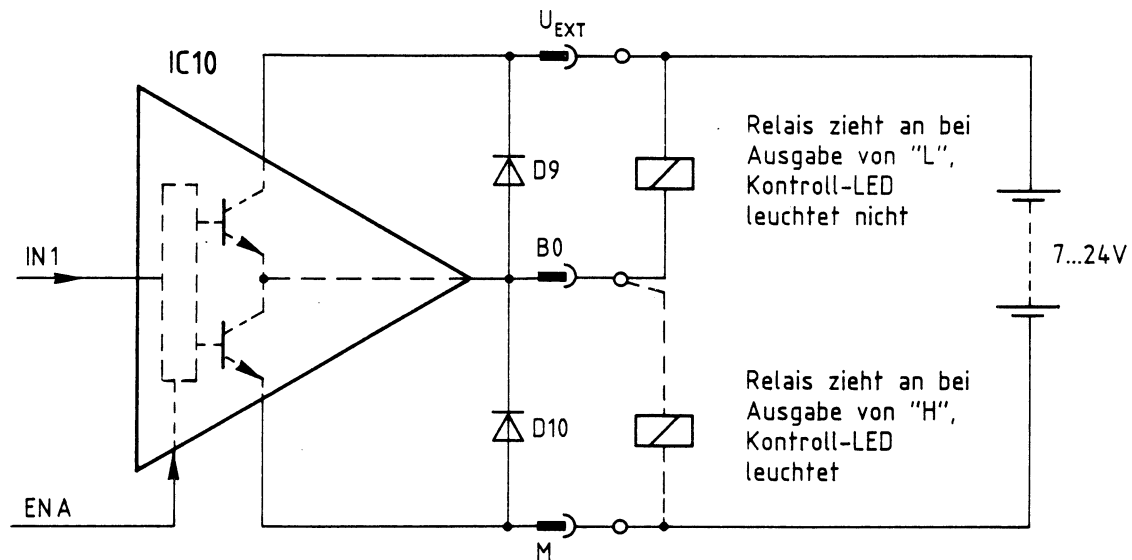
Die Steuerung der Leistungstreiber erfolgt über Enable-Eingänge mit Schmitt-Trigger-Eigenschaften. Für jeweils zwei Bit des 8fach-Leistungstreibers (B0/B1, B2/B3, B3/B4, B5/B6) ist ein gemeinsamer Enable-Eingang vorhanden. Bei H-Pegel an den Enable-Eingängen arbeiten die Leistungstreiber, bei L-Pegel sind sie gesperrt (hochohmig).

Mit Hilfe von Steckbrücken können die Enable-Eingänge entweder auf H-Pegel ("Pulsbetrieb AUS") oder auf die Ausgänge eines Dreiecksgenerators geschaltet werden ("Pulsbetrieb"). Da der Gleichspannungsanteil der Dreiecksspannung mit Hilfe von Trimmerwiderständen veränderbar ist, erhalten die Enable-Eingänge im Pulsbetrieb nicht ständig H-Pegel, sondern nur in den Zeitabschnitten, in denen die Dreiecksspannung Werte oberhalb der Schaltschwellen der Enable-Eingänge (Schmitt-Trigger) besitzt. Hierdurch wird die Ausgangsspannung bzw. der Ausgangsstrom der jeweiligen Ausgänge gepulst, was einer Mittelwertveränderung entspricht.

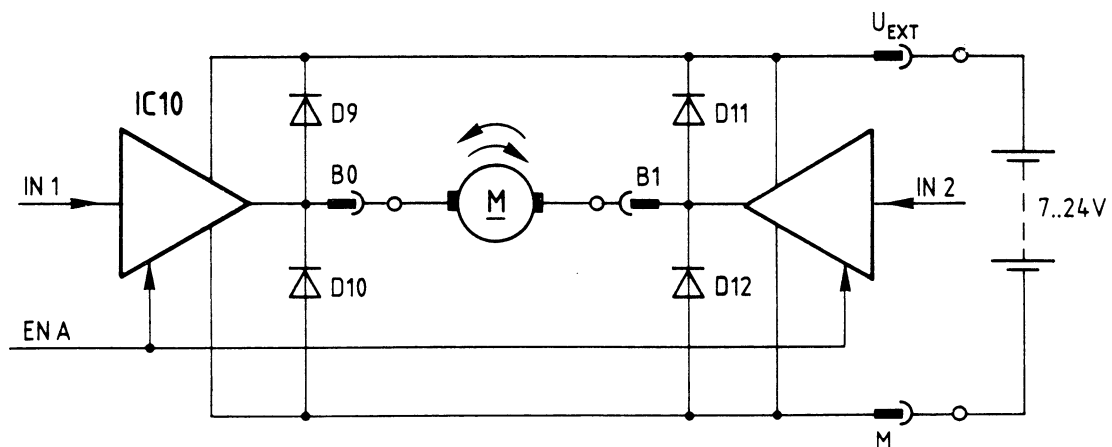
Die Höhe der Ausgangsspannung kann auf diese Weise jeweils für 2 Bit zwischen 0 und ca. 100% von U_{EXT} verändert werden, ohne die Spannung U_{EXT} selbst zu verändern. Es ist möglich, einige Ausgänge gepulst und andere statisch zu betreiben.

Hinweise zum Anschluß von Lasten

Lastwiderstände (z.B. Lampen, Relais) können von einem Ausgang (z.B. B0) entweder gegen U_{EXT} oder gegen den Anschluß M angeschlossen werden. Die für induktive Lasten erforderlichen Freilaufdioden sind in der Ausgabe-Baugruppe bereits vorhanden (siehe auch im Stromlaufplan).



Gleichstrommotoren (max. 1 A im Dauerbetrieb) können in Brückenschaltung an zwei Bit (z.B. B0 und B1) angeschlossen werden. Bei H-Pegel an IN1 und L-Pegel an IN2 läuft der Motor in die eine, bei umgekehrten Pegeln in die andere Richtung. Führen IN1 und IN2 beide gleiche Pegel, wird der Motor kurzgeschlossen (Bremsbetrieb).



Technische Daten

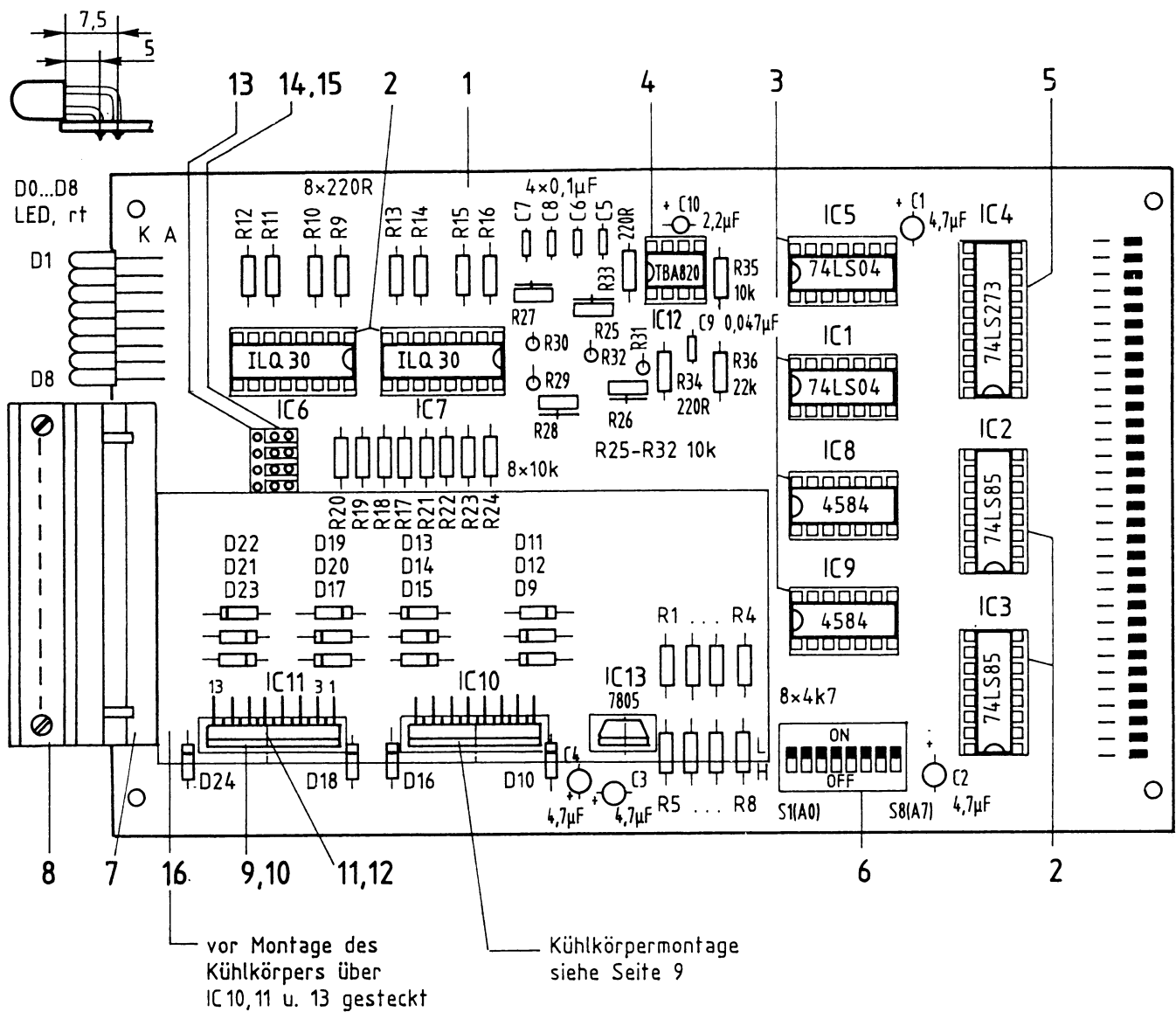
- * Acht Ausgänge, galvanisch getrennt (Optokoppler) mit gemeinsamem Bezugspotential
- * Externe Versorgungsspannung: 7 V bis 24 V (Gleichspannung)
- * Ausgangsstrom: Abhängig von der Anzahl der benutzten Ausgänge
Die Ausgänge sind in die beiden Gruppen B0 bis B3 und B4 bis B7 eingeteilt.
Für jede Gruppe gilt:
 - $I_{\max} = 0,5 \text{ A/Bit}$, wenn alle vier Ausgänge der Gruppe im Einzelbitbetrieb benutzt werden
 - $I_{\max} = 1 \text{ A}$ für 1 Bit und zusätzlich 0,5 A für ein weiteres Bit der Gruppe (Einzelbitbetrieb, 2 Bit der Gruppe unbeschaltet)
 - $I_{\max} = 1 \text{ A}$, wenn zwei Bit einer Gruppe (B0/B1 oder B2/B3 bzw. B4/B5 oder B6/B7) in Vollbrückenschaltung betrieben werden und die anderen beiden Bit der Gruppe freibleiben
- * Gegentaktausgänge ermöglichen ...
 - Einzelbitausgabe (z.B. Relaisansteuerung)
 - Ansteuerung von Gleichstrommotoren mit Richtungsumkehr und Bremsbetrieb
- * Impulsbetrieb der Ausgänge mit einstellbarem Impuls/Pausen-Verhältnis zur Veränderung von Gleichstrom-Mittelwerten möglich
- * Ausgangssignalanzeige für jedes Bit durch LED
- * Einstellbare Portadresse
- * Anwendungsbeispiele: Ansteuerung von Relais, Lampen, Schrittmotoren, Modell-Motoren, Wegeventilen usw. mit eigener Versorgungsspannung

The schematic diagram illustrates a 16-channel digital logic circuit, likely a 16x8 bit parallel-to-serial converter. The circuit is powered by a 5V supply and includes a 32a/c output and a 1a/c output. The main components are two 74LS85 comparators (IC2, IC3), a 74LS273 flip-flop (IC4), and a 74LS273 decoder (IC12). The circuit is divided into two main sections: a 16-channel input section and a 16-channel output section. The input section uses two 74LS85 comparators to compare the input data (A0-A7) with a reference value (P=Q). The output section uses a 74LS273 flip-flop to store the input data and a 74LS273 decoder to output the data in parallel (B0-B7, A0-A7). The circuit includes various logic gates, resistors, and capacitors to ensure proper operation. The schematic is detailed with component values, pin connections, and logic symbols.

| IC1.5 | IC2.3 | IC4 | IC6.7 |
|--------|--------|---------|-------|
| 74LS04 | 74LS85 | 74LS273 | ILQ30 |
| +5V | 14 | 16 | 20 |
| 0V | 7 | 8 | 10 |

| IC8.9 | IC10.11 | IC12 |
|------------------|---------|---------|
| 4584 | L298 | TBA820M |
| (+5V) | 14 | 9 |
| M | 7 | 8 |
| U _{EXT} | - | 4 |

Bestückung Leiterplatte



Stückliste Leiterplatte BFZ/MFA 4.9.

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|---------------------------------|-----------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.9. | |
| 2 | 4 | IC-Fassung 16polig | |
| 3 | 4 | IC-Fassung 14polig | |
| 4 | 1 | IC-Fassung 8polig | |
| 5 | 1 | IC-Fassung 20polig | |
| 6 | 1 | Miniatur-Schiebeschalter 8polig | |
| 7 | 1 | Grundgehäuse 10polig | |
| 8 | 1 | Steckerteil 10polig | |

Bestückung Leiterplatte

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--------------------------------|---|
| 9 | 1 | Kühlkörper | mit Wärmeleitpaste mont. |
| 10 | 1 | Wärmeleitblech | mit Wärmeleitpaste mont. |
| 11 | 3 | Federscheibe A3,2 DIN 137 | |
| 12 | 3 | Zylinderschraube M3x10 DIN 84 | |
| 13 | 1 | Stiftleiste einreihig, 4polig | |
| 14 | 1 | Stiftleiste zweireihig, 4polig | |
| 15 | 4 | Kurzschlußbrücke RM 2,54 | |
| 16 | 1 | Isolierplatte Polyamid | vor Montage des Kühlkörpers über IC10, IC11 und IC13 gesteckt |

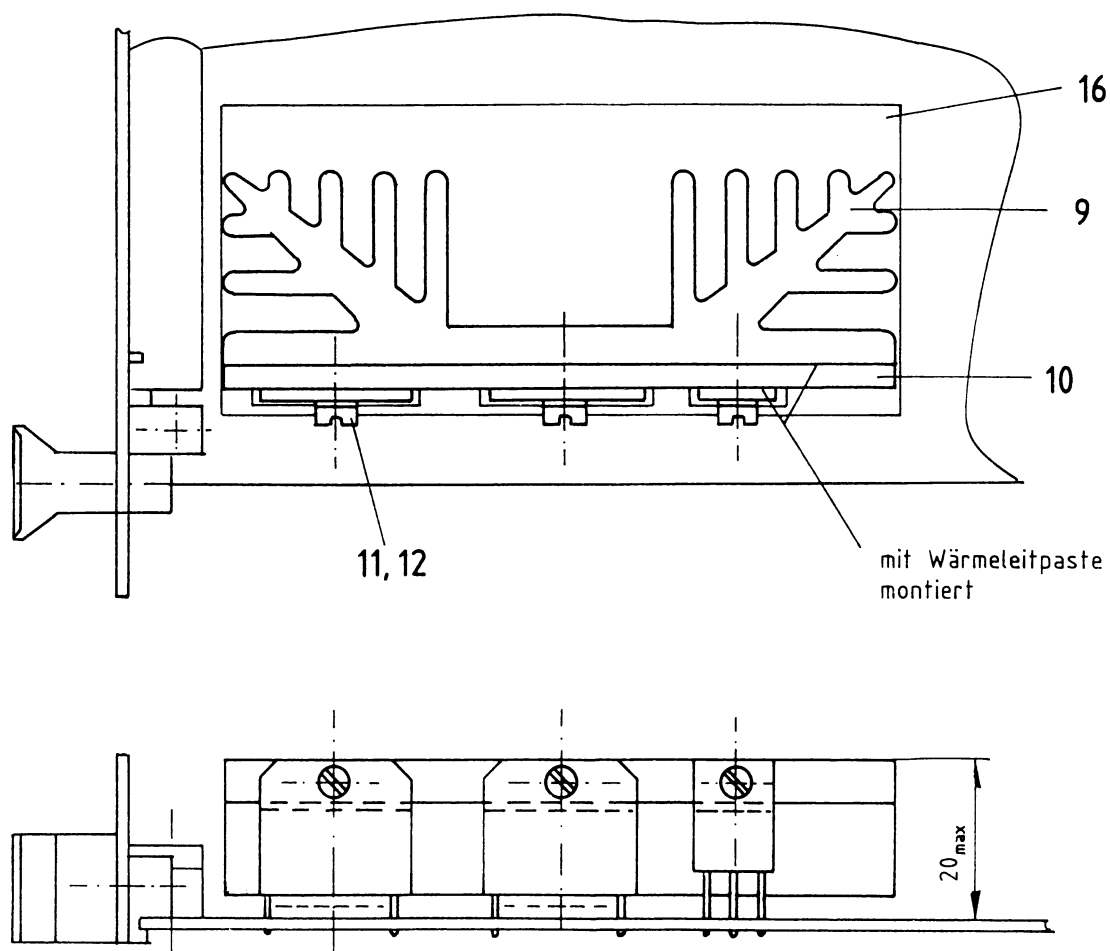
Bauteilliste Leiterplatte BFZ/MFA 4.9.

| Kennz. | Benennung/Daten | Bemerkung |
|-----------|---------------------------------|---------------------------------|
| R1...R8 | Widerstand 4,7 k | Alle Widerstände
±5%, 0,25 W |
| R9...R16 | Widerstand 220 | |
| R17...R24 | Widerstand 10 k | stehend, RM 5 x 2,5 |
| R25...R28 | Trimmerwiderstand 10 k /0,1 W | |
| R29...R32 | Widerstand 10 k | |
| R33, R34 | Widerstand 220 | |
| R35 | Widerstand 10 k | |
| R36 | Widerstand 22 k | Tropfenform |
| C1...C4 | Tantal-Elko 4,7 F/35 V | |
| C5...C8 | Keramikkondensator 0,1 F/50 V | RM 5 |
| C9 | Keramikkondensator 0,047 F/50 V | |
| C10 | Tantal-Elko 2,2 F/35 V | Tropfenform |

Bestückung Leiterplatte

| Kennz. | Benennung/Daten | Bemerkung |
|------------|-----------------------------------|----------------------|
| IC1, IC5 | Sechs Inverter 74 LS 04 | |
| IC2, IC3 | 4-Bit-Vergleicher 74 LS 85 | |
| IC4 | 8-Bit-D-Flipflop 74 LS 273 | |
| IC6, IC7 | 4-fach Optokoppler ILQ 30 | oder ILQ 74 |
| IC8, IC9 | 6 Inv. Schmitt-Trigger 4584 | oder 74 C 14 |
| IC10, IC11 | Zweifach-Voll-Brückentreiber L298 | |
| IC12 | NF-Verstärker TBA 820M | |
| IC13 | Positiv-Festspannungsregler 7805 | 5 V/1 A, TO 220 |
| D1...D8 | LED, rot, anreihbar | abgewinkelt montiert |
| D9...D24 | Si-Diode BYV 27/100 | |

Montage des Kühlkörpers:



Bereitstellungsliste zur Inbetriebnahme

Zur Inbetriebnahme bzw. Prüfung der Baugruppe "8-Bit-Parallel-Ausgabe (galv. getrennt)" wird folgendes Material benötigt:

| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|--|
| 1 | Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1. | Alle Baugruppen komplett aufgebaut und geprüft |
| 1 | Bus-Abschluß BFZ/MFA 0.2. | |
| 1 | Trafo-Einschub BFZ/MFA 1.1. | |
| 1 | Spannungsregelung BFZ/MFA 1.2. | |
| 1 | Bus-Signalgeber BFZ/MFA 5.1. | |
| 1 | Bus-Signalanzeige BFZ/MFA 5.2. | |
| 1 | Prozessor 8085 BFZ/MFA 2.1. | |
| 1 | Adapterkarte 64polig BFZ/MFA 5.3. | |
| 1 | Gleichspannungs-Netzgerät, Spannung einstellbar 0...15 V, 1 A | |
| 2 | Vielfachmeßinstrument | mögl. Digital-Multimeter |
| 1 | Drahtwiderstand 10Ω /10 W | Lastwiderstand |

Inbetriebnahme

1. Sichtkontrolle

Die Sichtkontrolle wird anhand von Stromlauf- und Bestückungsplan sowie Stück- und Bauteilliste durchgeführt.

- Sind alle Lötstellen ordnungsgemäß verlötet?
- Sind alle Elektrolytkondensatoren richtig gepolt?
- Sind alle ICs richtig eingesteckt?
- Sind alle Schrauben festgezogen?

2. Funktionsprüfung

2.1. Reset-Steuerung, Adreßvergleich und Datenübernahme

- DIL-Schalter S1 bis S8 der 8-Bit-Parallel-Ausgabe (galv. getrennt) in Stellung "ON" geschaltet (Port-Adresse 00)
- Baugruppe "8-Bit-Parallel-Ausgabe (galv. getrennt)" über 64polige Adapterkarte in den Baugruppenträger eingesteckt, alle Ausgänge frei
Nach dem Einschalten der Betriebsspannung leuchten i.A. einige der Kontroll-LEDs auf.
- Baugruppe "Prozessor 8085" (BFZ/MFA 2.1.) zusätzlich eingesteckt
Nach dem Einschalten der Betriebsspannung leuchtet jetzt keine Kontroll-LED, da das $\overline{\text{RESET}}$ -Signal der CPU-Baugruppe den Daten-Ausgabespeicher löscht.
- Bus-Signalgeber in den Baugruppenträger eingesteckt, Einstellungen:
Schalter "ON/OFF" in Stellung "ON", ADDRESS = 0000, DATA = 55
Bus-Signalanzeige eingesteckt (beliebige Stellung der Schalter)

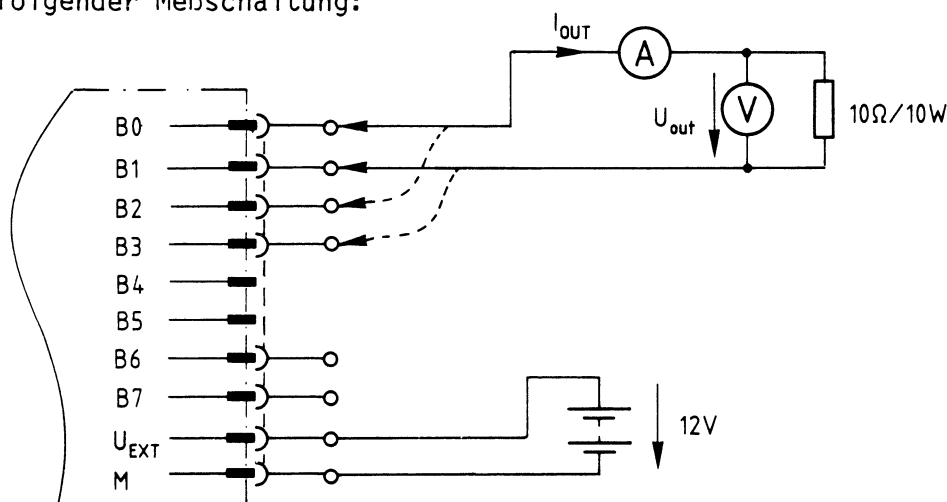
Inbetriebnahme

- Messung des logischen Pegels an Pin 11 von IC4 (74 LS 273) gegen 0 V, Beobachtung der Kontroll-LEDs auf der 8-Bit-Parallel-Ausgabe (galv. getrennt):
 1. Nach dem Einschalten leuchtet keine Kontroll-LED (RESET)
 2. Keine Steuertaste des Bus-Signalgebers betätigt: H-Pegel an Pin 11 von IC4
 2. Steuertaste "IOW" des Bus-Signalgebers betätigt: L-Pegel an Pin 11 von IC4, nach dem Loslassen der IOW-Taste Anzeige des Datenwertes 55 durch die Kontroll-LEDs
- Ausgabe der Datenwerte AA, FF und 00 an die Ausgabe-Baugruppe und Kontrolle, ob die entsprechenden Kontroll-LEDs aufleuchten

2.3. Prüfen der Leistungstreiber im statischen Betrieb

- Alle 4 Steckbrücken (zur Umschaltung der Leistungstreiber auf Impulsbetrieb) in Stellung "Pulsbetrieb AUS"
- Anschluß eines Gleichspannungsnetzgerätes (12 V, 1 A) an die Anschlüsse U_{EXT} (Pluspol) und M (Minuspol) der Ausgabe-Baugruppe
- Kontrolle der galvanisch vom System-Bus getrennten Spannung "(5 V)": Spannung zwischen Ausgang des 5-V-Spannungsreglers und Anschluß M gemessen, Sollwert zwischen 4,75 V und 5,25 V

- Aufbau folgender Meßschaltung:



Inbetriebnahme

- Ausgabe des Datenwertes 55 (Bus-Signalgeber, IOW); Messung des Ausgangsstromes I_{OUT} und der Ausgangsspannung U_{OUT} für B0 und B1. Zu erwartende Werte: U_{OUT} ca. 9,5 V, I_{OUT} ca. 0,9 A
- Ausgabe des Datenwertes 00; zu erwartende Meßwerte: U_{OUT} kleiner 0,1 V, I_{OUT} kleiner 1 mA (evtl. andere Polarität)
- Ausgabe des Datenwertes AA; zu erwartende Meßwerte: U_{OUT} ca. 9,5 V, I_{OUT} ca. 0,9 A (andere Polarität als bei der ersten Messung)
- Anschluß der Meßschaltung an B2 und B3 und Wiederholung der Messungen; ebenso mit B4 und B5 sowie B6 und B7

2.4. Prüfen der Leistungstreiber im Pulsbetrieb

- Alle 4 Steckbrücken (zur Umschaltung der Leistungstreiber auf Impulsbetrieb) in Stellung "Pulsbetrieb EIN"; alle 4 Trimmerwiderstände zur Impulseinstellung in Mittelstellung
- Anschluß der Meßschaltung an B0 und B1 und Ausgabe des Datenwertes 55
- Einstellbereich der Ausgangsspannung zwischen 0 V und ca. 10 V überprüfen (Trimmerwiderstand "Bit 0,1"); Spannung anschließend auf 5 V einstellen
Die mit dem Trimmerwiderstand eingestellte Spannung ist eine Rechteckspannung mit einem Spitzenwert von ca. 10 V. Das Impuls/Pausen-Verhältnis ist einstellbar und beträgt bei $U_{OUT} = 5$ V ca. 1.
- Wiederholung der Messungen/Einstellungen bei Anschluß der Meßschaltung an B2 und B3, B4 und B5 sowie B6 und B7
- Anschließend sollen die Steckbrücken wieder in Position "Pulsbetrieb AUS" gesteckt werden.

Damit ist die Inbetriebnahme beendet.

Bereitstellungsliste

| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|---|
| 1 | Leiterplatte, BFZ/MFA 4.9 | |
| 1 | Frontplatte, Teilung L-C 05
Alu, 2 mm dick, Breite: 25,1 mm | z.B. Intermas
Nr. 409-017 665 |
| 1 | Griff komplett mit Abdeckung T03 | z.B. Intermas
Nr. 409-017 927 |
| 1 | Frontverbinder 1,6 FEE | z.B. Intermas
Nr. 409-024 830 |
| 1 | Messerleiste 64polig, DIN 41612 | z.B. Erni STV-P-364 a/c
Nr. 9722.333.401 |
| 1 | Combicon-Grundgehäuse 10polig, Ein-
bauraster 5,08 mm, 90°-abgewinkelte
Montage, ohne seitliche Wände | Phoenix-Contact
Typ MSTB 1,5/10-G-5,08
Best. Nr. 175 9091
(Postf. 1341, 4933 Blomberg) |
| 1 | Combicon-Steckerteil 10polig, Draht-
einführung in Steckrichtung | Phoenix-Contact
Typ MSTB 1,5/10-ST-5,08
Best. Nr. 175 7093 |
| 3 | Zylinderschraube M3x10 DIN 84 | |
| 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 2 | Zylinderschraube mit Schaft
BM2,5x10/5 DIN 84 | |
| 3 | Federscheibe A3,2 DIN 137 | |
| 5 | Federscheibe A2,7 DIN 137 | |
| 1 | Federring B2,5 DIN 127 | |
| 4 | Sechskantmutter M2,5 DIN 439 | |

Bereitstellungsliste

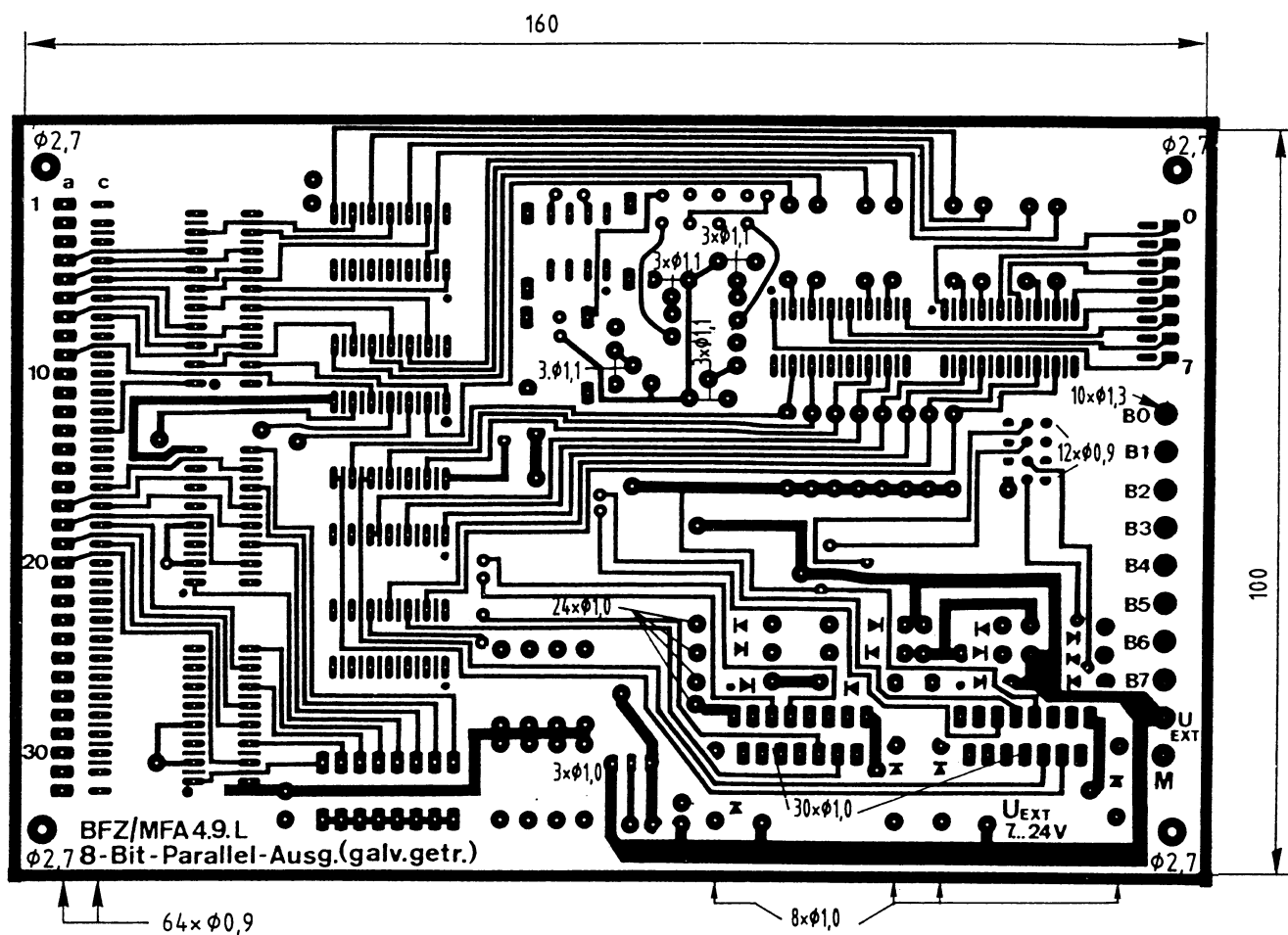
| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|--|
| 2 | Schraubensicherung, Kunststoff | z.B. Intermas
Nr. 409-026 748 |
| 1 | Alublech 88 x 6 x 3 mm | zur Herstellung eines
Wärmeleitblechs |
| 1 | Profilkühlkörper Typ KL-138, 17 mm lang | z.B. Seifert Typ KL-138;
zur Herstellung eines
Kühlkörpers |
| 1 | Isolierplatte 90 x 40 x 0,2 mm | Polyamid |
| 1 | Miniatur-Schiebeschalter 8polig, DIL | |
| 1 | Stiftleiste 4polig, einreihig mit geraden Stiften 0,6 x 0,6 mm im Raster 2,54 mm, Stiftlänge Lötseite ca. 3 mm, Steck/Wrapseite ca. 6 mm | |
| 1 | Stiftleiste 4polig, zweireihig mit geraden Stiften 0,6 x 0,6 mm im Raster 2,54 mm, Stiftlänge Lötseite ca. 3 mm, Steck/Wrapseite ca. 6 mm | |
| 4 | Kurzschlußbrücke RM 2,54 | zum Aufstecken auf die
Stiftleiste |
| 1 | Keramikkondensator 0,047 μ F/50 V | RM 5 |
| 4 | Keramikkondensator 0,1 μ F/50 V | RM 5 |
| 1 | Tantal-Elko 2,2 μ F/35 V | Tropfenform |
| 4 | Tantal-Elko 4,7 μ F/35 V | Tropfenform |
| 4 | Trimmerwiderstand 10 k /0,1 W, stehend | RM 2,5 x 5 |
| 10 | Widerstand 220 Ω | Alle Widerstände
$\pm 5\%$, 0,25 W |
| 8 | Widerstand 4,7 k Ω | |
| 13 | Widerstand 10 k Ω | |
| 1 | Widerstand 22 k Ω | |
| 8 | Anreih-LED, rt, rechteckig 2,5 x 5 mm | z.B. CQX 10 |
| 16 | Si-Diode BYV 27/100, $t_{rr} < 25$ ns | z.B. Valvo |

Bereitstellungsliste

| Stckz. | Benennung/Daten | Bemerkung |
|--------|---|---|
| 2 | IC ILQ 30, 4-fach Optokoppler | oder ILQ 74 |
| 2 | Zweifach-Voll-Brückentreiber-IC L298 | SGS Ates, Fa. Weisbauer-Elektronik, Heiliger Weg 1, 4600 Dortmund |
| 1 | NF-Verstärker TBA 820M | 8pol. DIP |
| 1 | Positiv-Festspannungsregler 7805 | 5 V/1 A, TO 220 |
| 2 | IC 74 LS 04, Sechs Inverter | |
| 2 | IC 74 LS 85, 4-Bit-Vergleicher | |
| 1 | IC 74 LS 273, 8-Bit-D-Flipflop | |
| 2 | IC 4584, Sechs inv. Schmitt-Trigger | CMOS, oder 74 C 14 |
| 1 | IC-Fassung 8polig DIL | |
| 4 | IC-Fassung 14polig DIL | |
| 4 | IC-Fassung 16polig DIL | |
| 1 | IC-Fassung 20polig DIL | |
| n.B. | Wärmeleitpaste | |
| n.B. | Löt draht | |
| n.B. | Lötlack | |
| n.B. | Reinigungsmittel | zum Entfetten der Frontplatte |
| n.B. | Beschriftungsmaterial, Abreibe-symbole oder Tuscheschreiber | zum Beschriften der Frontplatte |
| n.B. | Plastik-Spray | zum Besprühen der Frontplatte |

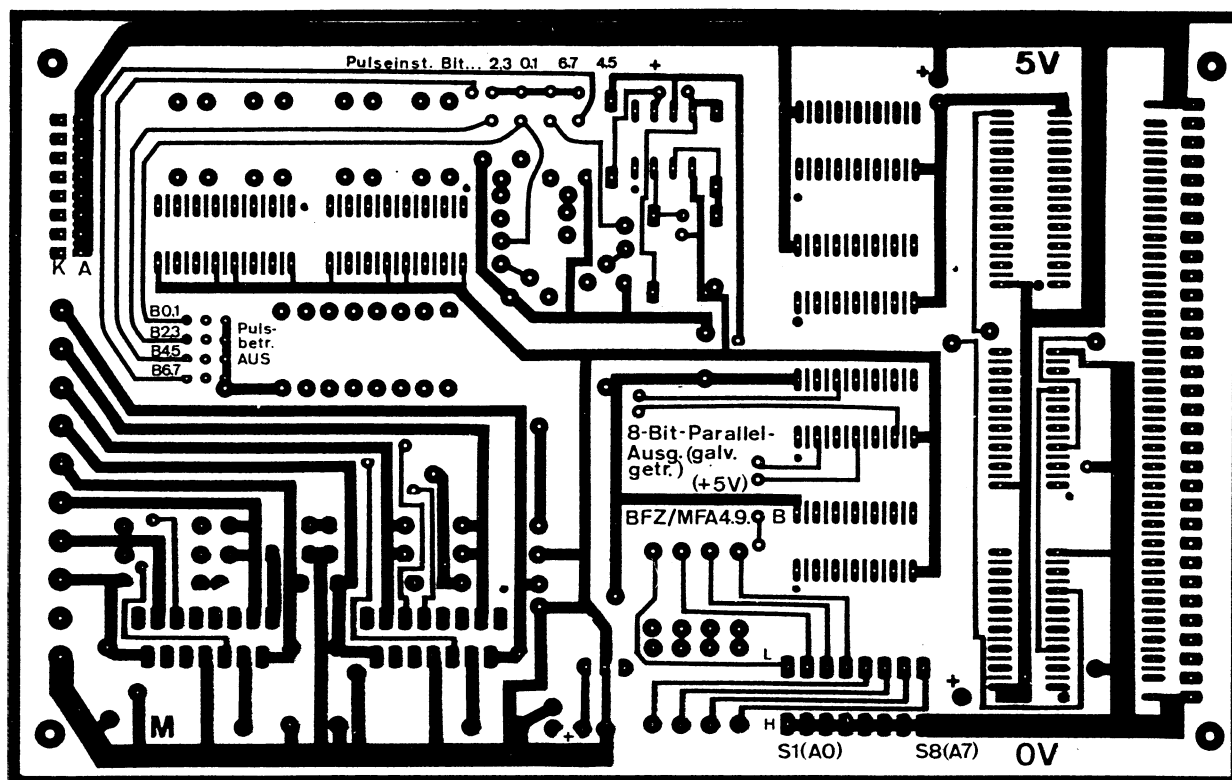
Das zur Inbetriebnahme der Baugruppe erforderliche Material ist der Bereitstellungsliste zur Inbetriebnahme zu entnehmen.

Bohrplan Leiterplatte



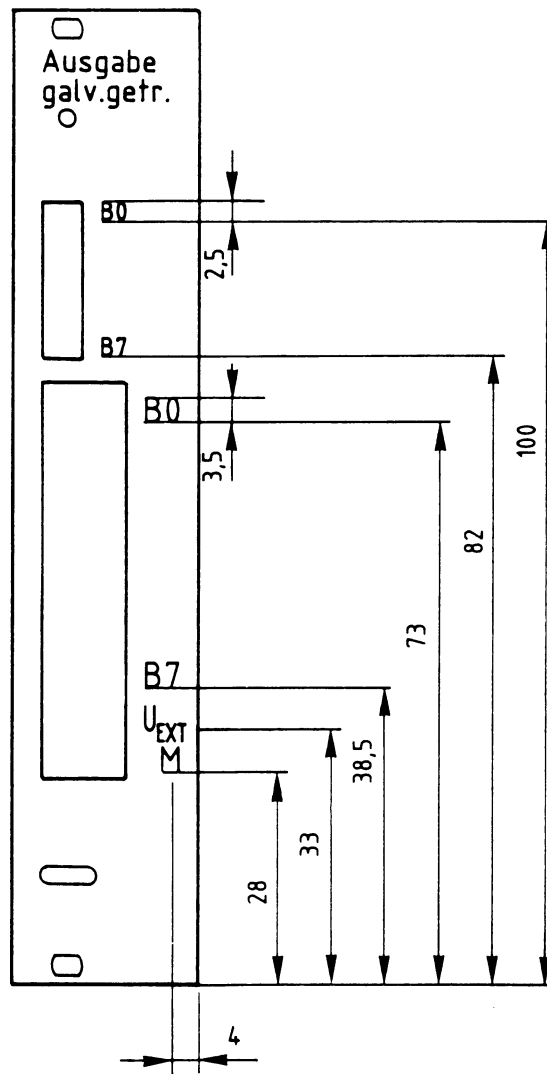
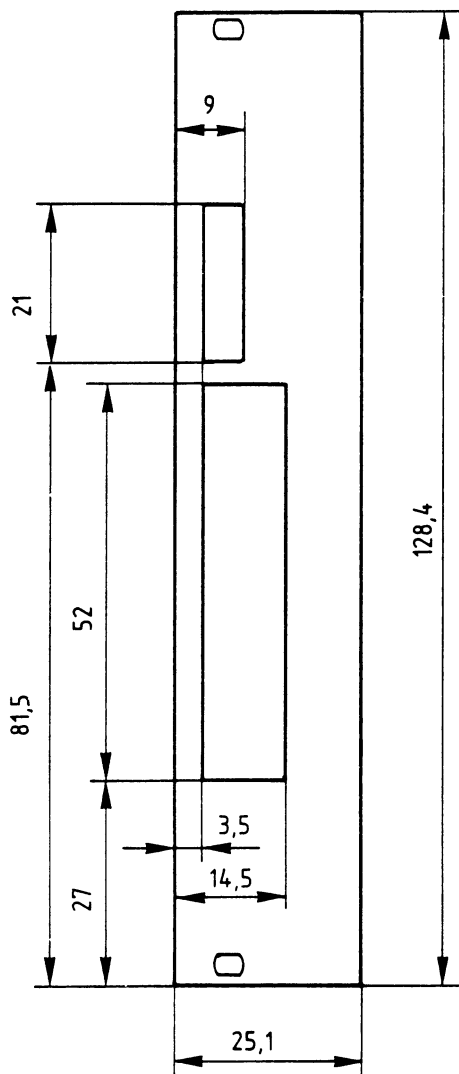
Alle nicht bemaßten Bohrungen $\phi 0,8$ mm

Benötigte Bohrer: 0,8 - 0,9 - 1,0 - 1,1 - 1,3 - 2,7 mm



Bohrplan Frontplatte

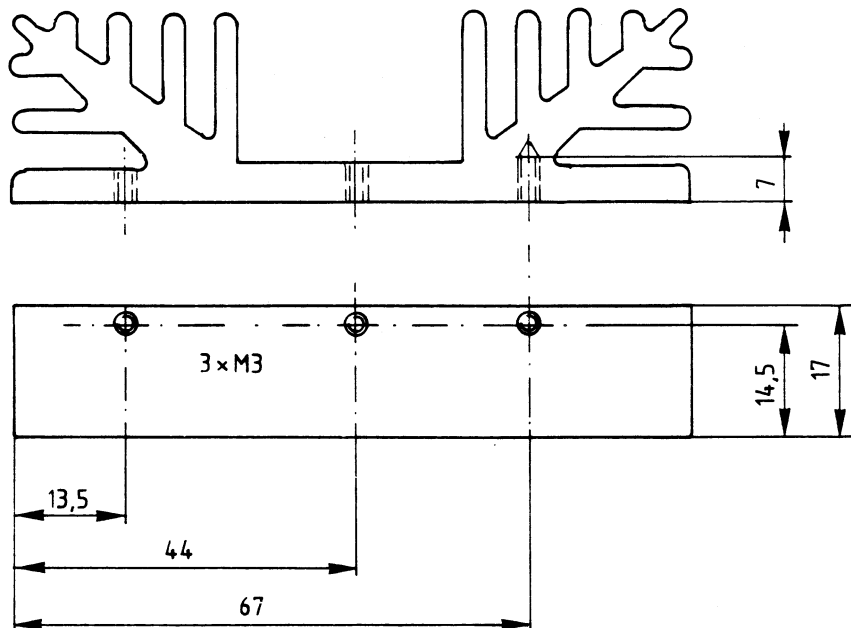
Beschriftungsvorschlag



Material: Frontplatte L-C05
Alu 2mm

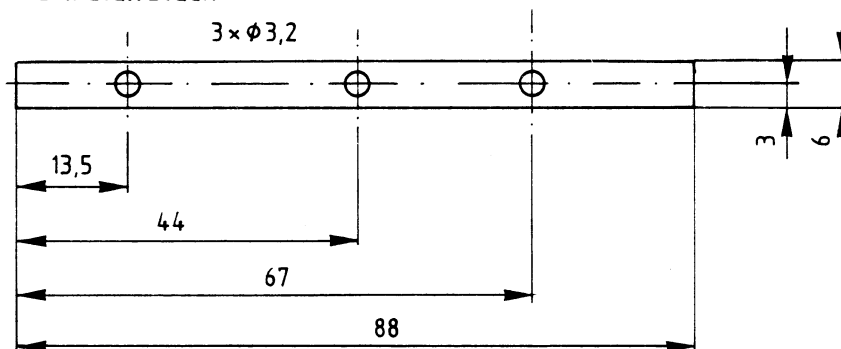
Fertigung Kühlkörper, Wärmeleitblech, Isolierplatte

Kühlkörper für IC 10, 11 und 13:



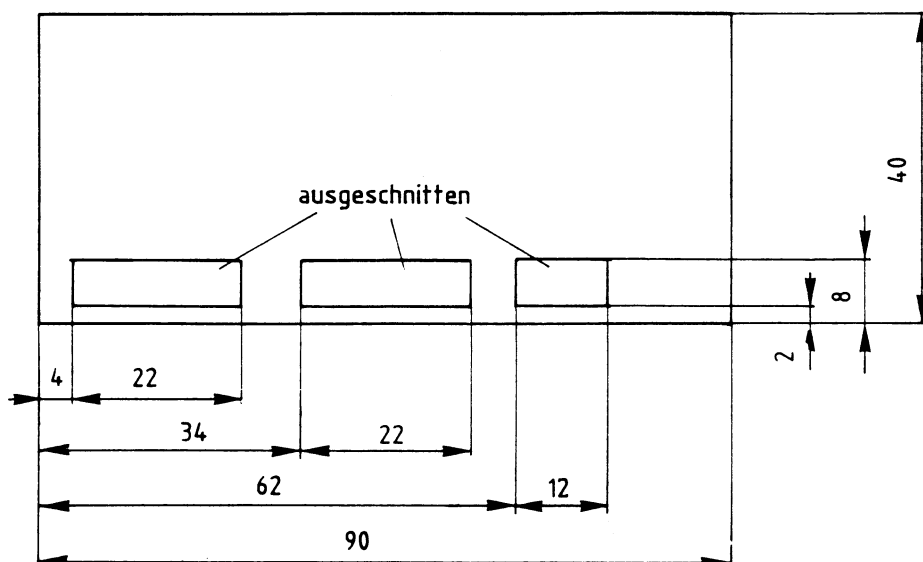
Material:
 Profilkühlkörper
 KL - 138, 17 mm lang

Wärmeleitblech:



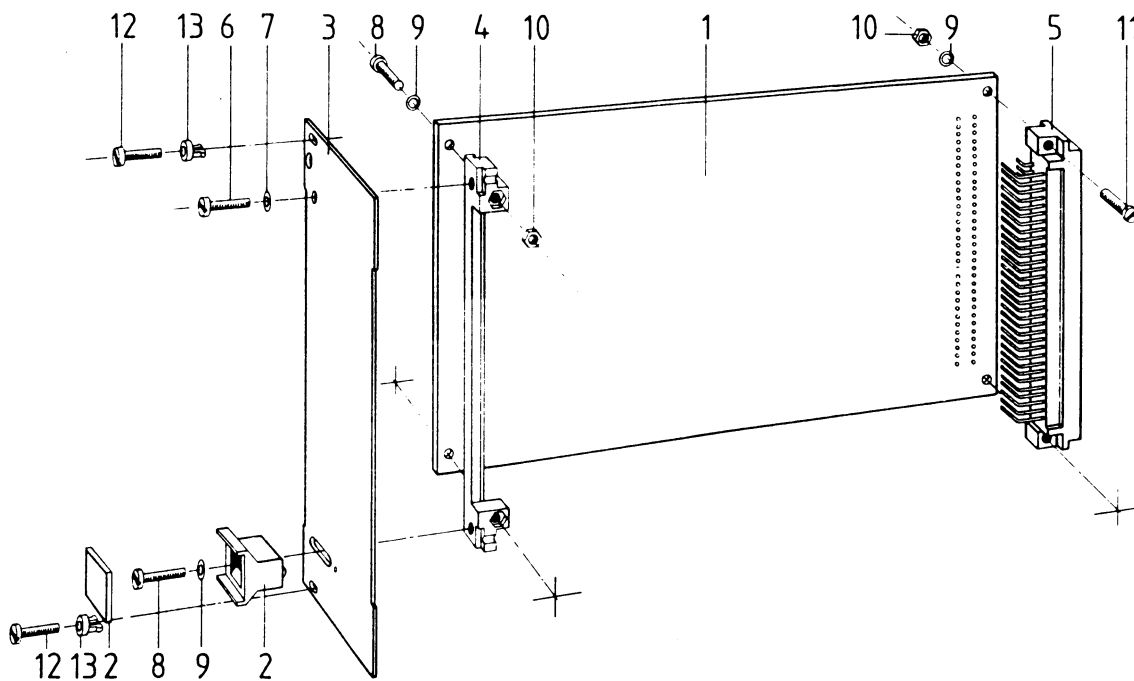
Material: Alu 3mm

Isolierplatte:



Material:
 Polyamid 90×40×0,2 mm

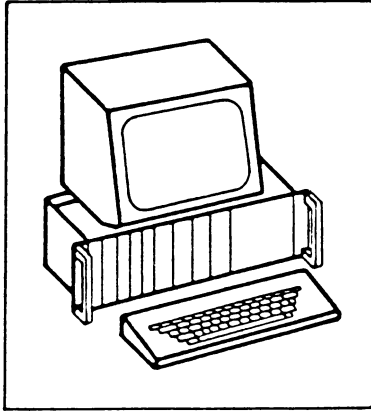
Zusammenbau Baugruppe



Stückliste für den Zusammenbau

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|-------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.9. | komplett bestückt |
| 2 | 1 | Griff komplett | |
| 3 | 1 | Frontplatte | |
| 4 | 1 | Frontverbinder | |
| 5 | 1 | Messerleiste 64polig, DIN 41612 | |
| 6 | 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 7 | 1 | Federring B2,5 DIN 127 | |
| 8 | 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 9 | 5 | Federscheibe A2,7 DIN 137 | |
| 10 | 4 | Sechskantmutter M2,5 DIN 439 | |
| 11 | 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 12 | 2 | Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84 | |
| 13 | 2 | Schraubensicherung, Kunststoff | |

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



V24/RS232-
Schnittstelle

BFZ/MFA 4.10.



Inhaltsverzeichnis

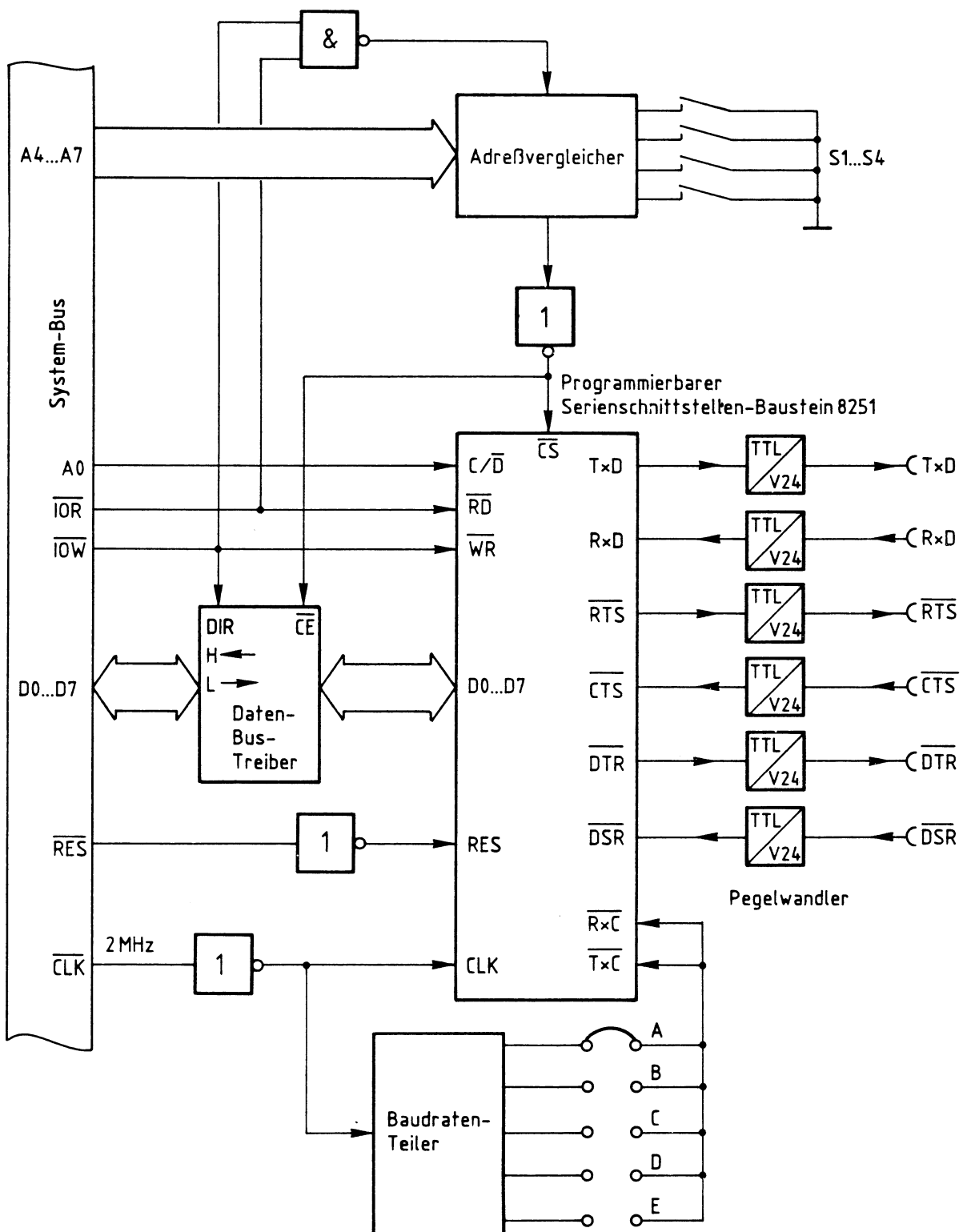
| Inhalt | Seite |
|---|-------|
| Hinweise | 1 |
| Blockschaltbild | 2 |
| Funktionsbeschreibung | 3 |
| Stromlaufplan | 6 |
| Bestückung Leiterplatte | 7 |
| Bereitstellungsliste zur Inbetriebnahme | 9 |
| Inbetriebnahme | 10 |
| Bereitstellungsliste | 12 |
| Bohrplan Leiterplatte | 14 |
| Layout Bestückungsseite | 15 |
| Bohrplan Frontplatte | 16 |
| Zusammenbau Baugruppe | 17 |

Hinweise

Die Baugruppe "V24/RS232-Schnittstelle" ist eine Serienschnittstelle zur Datenübertragung zwischen dem BFZ/MFA-Computer und der Peripherie (z.B. Drucker, Datenterminals, SPS-Steuerungen). Baudraten zwischen 150 Bd und 9600 Bd sind möglich.

Die Ein- und Ausgänge besitzen ± 12 -V-Pegelwandler, deren Anschlüsse auf eine 25polige Buchse in der Frontplatte der Baugruppe geführt sind. Die Belegung der Anschlußbuchse kann durch Lötbrücken an die Erfordernisse der Peripherie angepaßt werden. Hierdurch wird der Anschluß der Geräte mit serieller Datenübertragung erleichtert.

Blockschaltbild



Funktionsbeschreibung

Die Funktionsbeschreibung bezieht sich nur auf das Blockschaltbild. Einzelheiten des verwendeten Schnittstellenbausteins 8251 werden im Band 2 der Fachpraktischen Übungen behandelt (BFZ/MFA 4.4. "Programmierbare Serienschnittstelle" und BFZ/MFA 4.4.a "Kassetten-Interface").

Die serielle Daten-Sendeleitung TxD, die serielle Daten-Empfangsleitung RxD sowie einige Steuerleitungen des Schnittstellenbausteins 8251 sind über TTL/-V24-Pegelwandler mit einer 25poligen Buchsenleiste auf der Frontplatte der Baugruppe verbunden.

Für interne Steuerzwecke erhält der Baustein am Anschluß CLK den von einem Inverter aufgefrischten 2-MHz-Systemtakt.

Aus dem System-Takt wird außerdem im Baudraten-Teiler der zur Parallel/Seriell- und Seriell/Parallel-Wandlung erforderliche Baudraten-Takt gewonnen und dem Baustein an den Anschlüssen $\overline{\text{Rx}}\overline{\text{C}}$ und $\overline{\text{Tx}}\overline{\text{C}}$ zugeführt. Durch Lötbrücken und geeignete Initialisierung können 7 verschiedene Baudraten eingestellt werden (siehe Tabelle im Stromlaufplan).

Der Daten-Bus ist über einen bidirektionalen Datenbus-Treiber in Tristate-Technik mit den Datenleitungen des Schnittstellen-Bausteins verbunden. Der Datenbus-Treiber trennt im Ruhezustand den Datenweg und gewährleistet im aktiven Zustand einen ausreichend hohen Treiberstrom in Richtung System-Bus. Zur Aktivierung des Datenbus-Treibers muß der Anschluß $\overline{\text{CE}}$ (Chip Enable) L-Pegel erhalten.

Über den Anschluß DIR (direction, Richtung) wird mit dem Signal $\overline{\text{IOW}}$ die Arbeitsrichtung des Datenbus-Treibers gesteuert. Hierdurch wird festgelegt, ob Daten vom Prozessor zum Baustein 8251 und von dort über den Anschluß TxD seriell ausgesendet werden, oder ob der Prozessor die über den Anschluß RxD seriell empfangenen Daten liest.

Die Freigabe des Datenbus-Treibers und des Schnittstellenbausteins erfolgt durch den Adreßvergleich. Dies geschieht nur, wenn die Adresse auf den Adreßleitungen A4 bis A7 mit derjenigen Baugruppen-Nummer übereinstimmt, die mit den Schaltern S1 bis S4 eingestellt ist. Zur Freigabe des Adreßvergleichers muß eine der Steuerleitungen $\overline{\text{IOW}}$ oder $\overline{\text{IOR}}$ aktiv sein.

Mit der Adreßleitung A0 werden bei H-Pegel die Control-Register, und bei L-Pegel die Datenregister (Sender- und Empfänger-Register) des 8151 adressiert.

Funktionsbeschreibung

Verbindungen Schnittstellenbaustein – 25polige Buchsenleiste

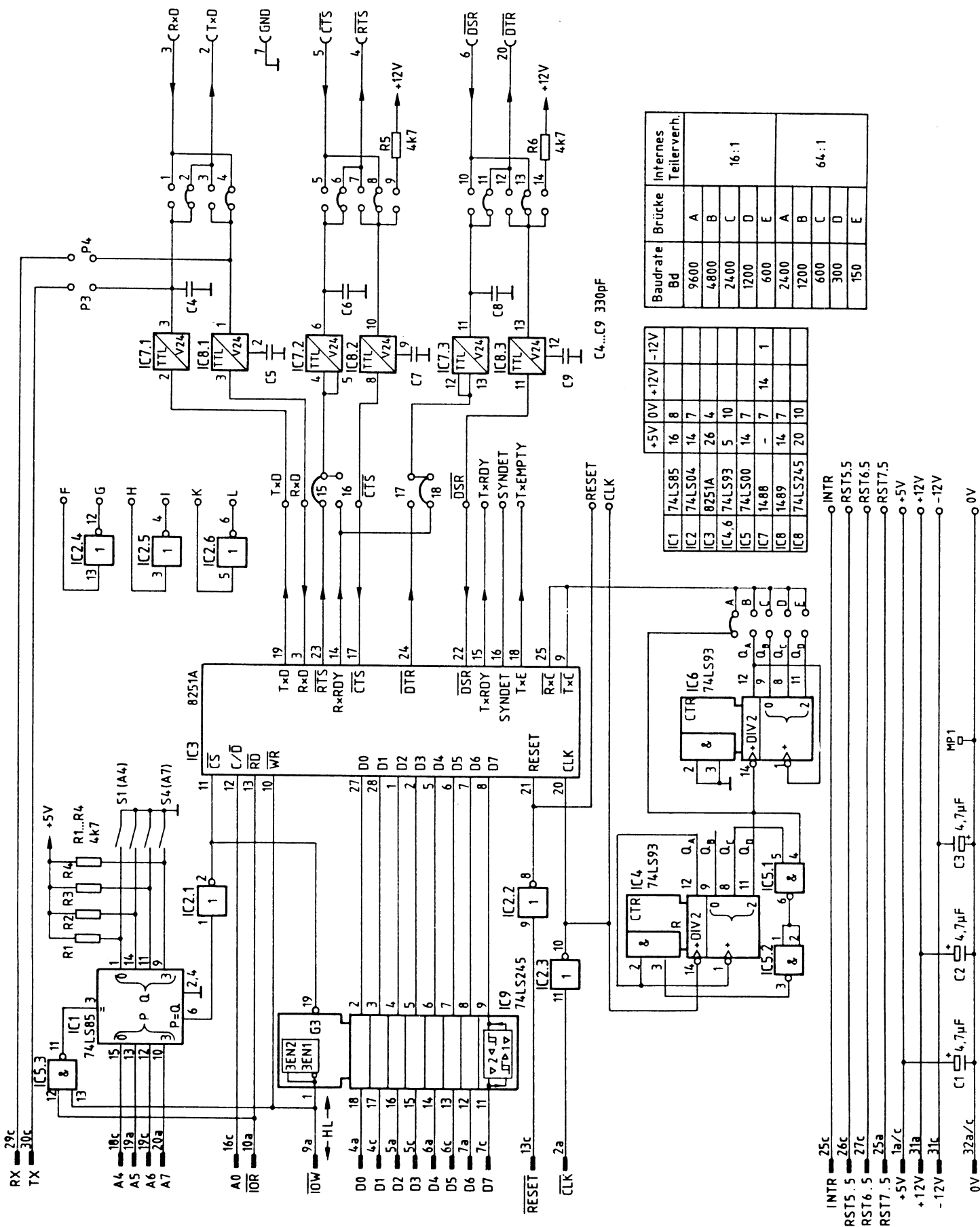
- "TxD" (Transmitter-Data, Senderdaten): Serieller Datenausgang des Bausteins, durch Lötbrücke 2 mit Anschlußstift 2 der 25poligen Buchsenleiste verbunden
- "RxD" (Receiver-Data, Empfängerdaten): Serieller Dateneingang des Bausteins, durch Lötbrücke 4 mit Anschlußstift 3 der 25poligen Buchsenleiste verbunden
- " $\overline{\text{RTS}}$ " (Request To Send, Sendeteil der Peripherie einschalten): Der Signalzustand dieses beliebig verwendbaren Bausteinausgangs wird bei der Initialisierung durch das Kommandowort festgelegt und kann danach auch wieder per Programm verändert werden. In der Grundverdrahtung der V24/RS232-Schnittstelle wird das Bausteinsignal $\overline{\text{RTS}}$ über die Lötbrücke 15, den Pegelwandler IC7.2 und die Lötbrücke 6 auf den $\overline{\text{RTS}}$ -Anschluß der 25poligen Buchsenleiste geführt (Anschlußstift 4).
- "RxRDY" (Receiver Ready, Empfänger hat ein Zeichen empfangen/ist besetzt): Ausgang, der beim Vorliegen eines Zeichens im Empfängerregister des Schnittstellenbausteins H-Pegel annimmt. In der Grundverdrahtung der Schnittstelle wird RxRDY über die Brücke 18, den Pegelwandler IC7.3 und die Brücke 11 zum Anschlußstift " $\overline{\text{DTR}}$ " der 25poligen Buchsenleiste geführt. Hiermit kann der externe Datensender so lange gestoppt werden, bis das Empfängerregister des Bausteins von der CPU gelesen ("geleert") wurde und damit wieder bereit ist, ein neues Zeichen aufzunehmen.
- " $\overline{\text{CTS}}$ " (Clear To Send, Senderfreigabe): L-Signal an diesem Bausteineingang gibt den eigenen Datensender frei, H-Signal sperrt ihn. Über den Pegelwandler IC8.2 und die Lötbrücke 8 ist der $\overline{\text{CTS}}$ -Anschluß des Bausteins mit Anschlußstift 5 der 25poligen Buchse verbunden. Hier ist zur Senderfreigabe 0-Signal (+3 V bis +12 V) erforderlich. Bei 1-Signal (-3 V bis -12 V) oder offenem Eingang ist der Datensender gesperrt.
Wird anstelle der Lötbrücke 8 die Lötbrücke "9" geschlossen, so erfolgt die Senderfreigabe nicht über die Peripherie, sondern über R5 (Datensender ist ständig freigegeben).

Funktionsbeschreibung

- " $\overline{\text{DTR}}$ " (Data Terminal Ready, Betriebsbereitschaft des eigenen Gerätes): Der Signalzustand dieses beliebig verwendbaren Ausgangs wird bei der Initialisierung des Bausteins durch das Kommandowort festgelegt und kann danach auch wieder per Programm verändert werden. Mit L-Pegel am Bausteinanschluß $\overline{\text{DTR}}$ kann einem Peripheriegerät mitgeteilt werden, daß die Serienschnittstelle betriebsbereit ist.

- " $\overline{\text{DSR}}$ " (Data Set Ready, Betriebsbereitschaft eines anderen Gerätes): Der Signalzustand dieses beliebig verwendbaren Eingangs kann über das Statuswort des Schnittstellenbausteins abgefragt werden. Mit Hilfe des Anschlusses $\overline{\text{DSR}}$ ist der Prozessor hierdurch z.B. in der Lage, die Betriebsbereitschaft eines Peripheriegerätes festzustellen. Hierzu muß dieses Gerät 0-Signal (+3 V bis +12 V) auf die $\overline{\text{DSR}}$ -Leitung legen.

Stromlaufplan



| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|--------------------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.10. | |
| 2 | 1 | IC-Fassung 28polig | |
| 3 | 1 | IC-Fassung 16polig | |
| 4 | 1 | IC-Fassung 20polig | |
| 5 | 1 | Miniatur-Schiebeschalter 4polig | |
| 6 | 6 | IC-Fassung 14polig | |
| 7 | 1 | Lötbrücke bei "A", hergestellt
aus Schaltdraht 0,5 mm | siehe auch im
Stromlaufplan |

Bestückung Leiterplatte

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|---|
| 8 | 1 | Sub-D-Buchsenleiste 25polig | |
| 9 | 2 | Zylinderschraube M3x10 DIN 84 | |
| 10 | 2 | Federscheibe A3,2 DIN 137 | |
| 11 | 2 | Sechskantmutter M3 DIN 439 | |
| 12 | 1 | Lötstift/-nagel für 1,3 mm-Loch-Ø | |
| 13 | 8 | Lötbrücke; bei "2", "4", "6", "8", "11", "13", "15" und "18" | Grundeinstellung der V24/RS232-Schnittst. |

Bauteilliste Leiterplatte BFZ/MFA 4.10.

| Kennz. | Benennung/Daten | Bemerkung |
|----------|---|-------------|
| R1...R6 | Widerstand 4,7 kΩ | ±5%, 0,25 W |
| C1...C3 | Tantal-Elko 4,7 µF/35 V | Tropfenform |
| C4...C9 | Keramikkondensator 330 pF/50 V | |
| IC1 | 4-Bit-Vergleicher 74 LS 85 | |
| IC2 | Sechs Inverter 74 LS 04 | |
| IC3 | Programmierbarer Serienschnittstellen-Baustein 8251A | |
| IC4, IC6 | 4-Bit-Binärzähler 74 LS 93 | |
| IC5 | Vier NAND-Gatter 74 LS 00 | |
| IC7 | Vier Leitungstreiber für V24-Schnittstellen, MC 1488 oder 75188 | |
| IC8 | Vier Leitungsempfänger für V24-Schnittstellen, MC 1489 oder 75189 | |
| IC9 | Acht Bus-Transceiver 74 LS 245 | |

Bereitstellungsliste zur Inbetriebnahme

Zur Inbetriebnahme bzw. Prüfung der Baugruppe "V24/RS232-Schnittstelle" wird folgendes Material benötigt:

| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|---|
| 1 | Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1. | Alle Baugruppen komplett aufgebaut und geprüft |
| 1 | Bus-Abschluß BFZ/MFA 0.2. | |
| 1 | Trafo-Einschub BFZ/MFA 1.1. | |
| 1 | Spannungsregelung BFZ/MFA 1.2. | |
| 1 | Prozessor 8085 BFZ/MFA 2.1. | |
| 1 | 8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als EPROM-Baugruppe | bestückt mit MAT 85 |
| 1 | 8-K-RAM/EPROM BFZ/MFA 3.1., eingerichtet als RAM-Baugruppe | bestückt mit mind. zwei Stück 2-K-RAM-Bausteinen ab Adresse F800 und E000 |
| 1 | ASCII-Tastatur BFZ/MFA 8.1. | |
| 1 | Video-Interface BFZ/MFA 8.2. | |
| 1 | Datensichtgerät | |

Inbetriebnahme

1. Sichtkontrolle

Die Sichtkontrolle wird anhand von Stromlauf- und Bestückungsplan sowie Stück- und Bauteilliste durchgeführt.

- Sind alle Lötstellen ordnungsgemäß verlötet?
- Sind alle erforderlichen Lötbrücken geschlossen?
- Sind alle Elektrolytkondensatoren richtig gepolt?
- Sind alle ICs richtig eingesteckt?
- Sind alle Schrauben festgezogen?

2. Funktionsprüfung

Bei der Funktionsprüfung wird die V24/RS232-Schnittstelle im BFZ/MFA-Mikrocomputer betrieben und vom Betriebssystem MAT 85 initialisiert. Durch eine Drahtbrücke wird eine Verbindung zwischen dem Ausgang des seriellen Datensenders (TxD) und dem Eingang des seriellen Datenempfängers (RxD) hergestellt.

Mit Hilfe eines Prüfprogramms gibt die CPU einen Datenwert über die V24/RS232-Schnittstelle aus, empfängt diesen wieder und stellt den empfangenen Datenwert als ASCII-Zeichen auf dem Bildschirm des Datensichtgerätes dar.

2.1. Vorbereitungen zur Inbetriebnahme der V24/RS232-Schnittstelle

- Lötbrücke "9" zusätzlich geschlossen
- Alle vier Schalter zur Einstellung der Baugruppen-Nummer geöffnet (ergibt Adr. "FX")
- Verbindung zwischen TxD und RxD hergestellt (Drahtbrücke zwischen Anschluß 2 und Anschluß 3 der 25poligen Buchsenleiste)
- BFZ/MFA-Mikrocomputer mit eingesetzter V24/RS232-Schnittstelle eingeschaltet und Betriebssystem gestartet

Inbetriebnahme

2.2. Überprüfung der Schnittstelle

- Eingabe des folgenden Prüfprogramms in Assemblersprache ab Adresse F800:

| | | | |
|------|---------|-----------------|--|
| F800 | 3E 2A | PRUEF: MVI A,2A | ;Akku mit Wert für das Zeichen "*" ;laden |
| F802 | CD 2108 | CALL 0821 | ;Unterprogramm "CASO" (Kassetten- ;Out-Routine, Sendeprogramm für ;serielle Schnittstelle) |
| F805 | CD EF07 | CALL 07EF | ;Unterprogramm "CASI" (Kassetten- ;In-Routine, Empfangsprogramm für ;serielle Schnittstelle) |
| F808 | CD 5200 | CALL 0052 | ;Unterprogramm "WCHR" (Write Cha- ;racter, gibt Akku-Inhalt auf dem ;Bildschirm aus) |
| F80B | C3 00F8 | JMP PRUEF | ;Zurück zum Programmanfang |
| F80E | | END | ;Assembler-Ende |

- Prüfen des eingegebenen Programms mit Hilfe des Disassemblers
- Start des Programms auf Adresse F800
Wenn der Bildschirm mit dem Zeichen "*" beschrieben wird, ist die Baugruppe in Ordnung.
- Nicht vergessen: Entfernen der zusätzlich eingebauten Lötbrücke "9"

Damit ist die Inbetriebnahme beendet.

Bereitstellungsliste

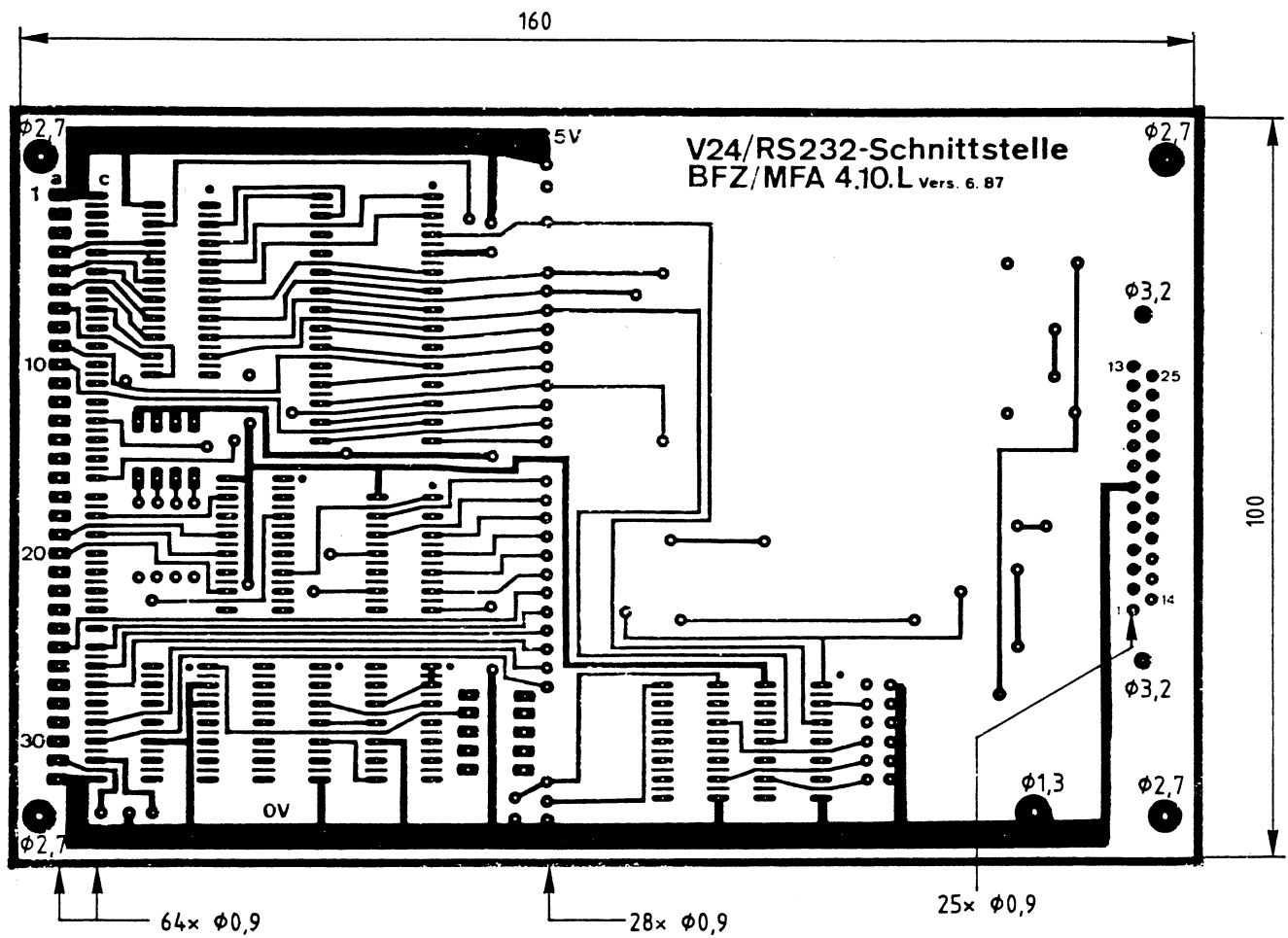
| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|---|
| 1 | Leiterplatte, ca. 110x170 mm
Mat.: Epoxid-Glashartgewebe (Hgw 2372) | doppelseitig Cu-kaschiert
(35 µm) u. mit Fotolack
beschichtet |
| je 1 | Filmvorlage BFZ/MFA 4.10.L u. 4.10.B
zum Belichten der Leiterplatte | je nach Ätzverfahren Pos.-
oder Neg.-Film |
| 1 | Frontplatte, Teilung L-C 05
Alu, 2 mm dick, Breite: 25,1 mm | z.B. Intermas
Nr. 409-017 665 |
| 1 | Griff komplett mit Abdeckung T03 | z.B. Intermas
Nr. 409-017 927 |
| 1 | Frontverbinder 1,6 FEE | z.B. Intermas
Nr. 409-024 830 |
| 1 | Messerleiste 64polig, DIN 41612 | z.B. Erni STV-P-364 a/c
Nr. 9722.333.401 |
| 2 | Zylinderschraube M3x10 DIN 84 | |
| 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 2 | Zylinderschraube mit Schaft
BM2,5x10/5 DIN 84 | |
| 2 | Federscheibe A3,2 DIN 137 | |
| 5 | Federscheibe A2,7 DIN 137 | |
| 1 | Federring B2,5 DIN 127 | |
| 2 | Sechskantmutter M3 DIN 439 | |
| 4 | Sechskantmutter M2,5 DIN 439 | |
| 2 | Schraubensicherung, Kunststoff | z.B. Intermas
Nr. 409-026 748 |
| 1 | Sub-D-Buchsenleiste mit Kunststoff-
winkel (mit Lochplatte vernietet),
25polig, 90° abgewinkelt zum Ein-
löten in gedruckte Schaltungen | z.B. Fischer Metroplast
Nr. DB WK 25 |
| 1 | Miniatur-Schiebeschalter 4polig DIL | |
| 3 | Tantal-Elko 4,7 µF/35 V | Tropfenform |
| 6 | Widerstand 4,7 kΩ | ±5%, 0,25 W |

Bereitstellungsliste

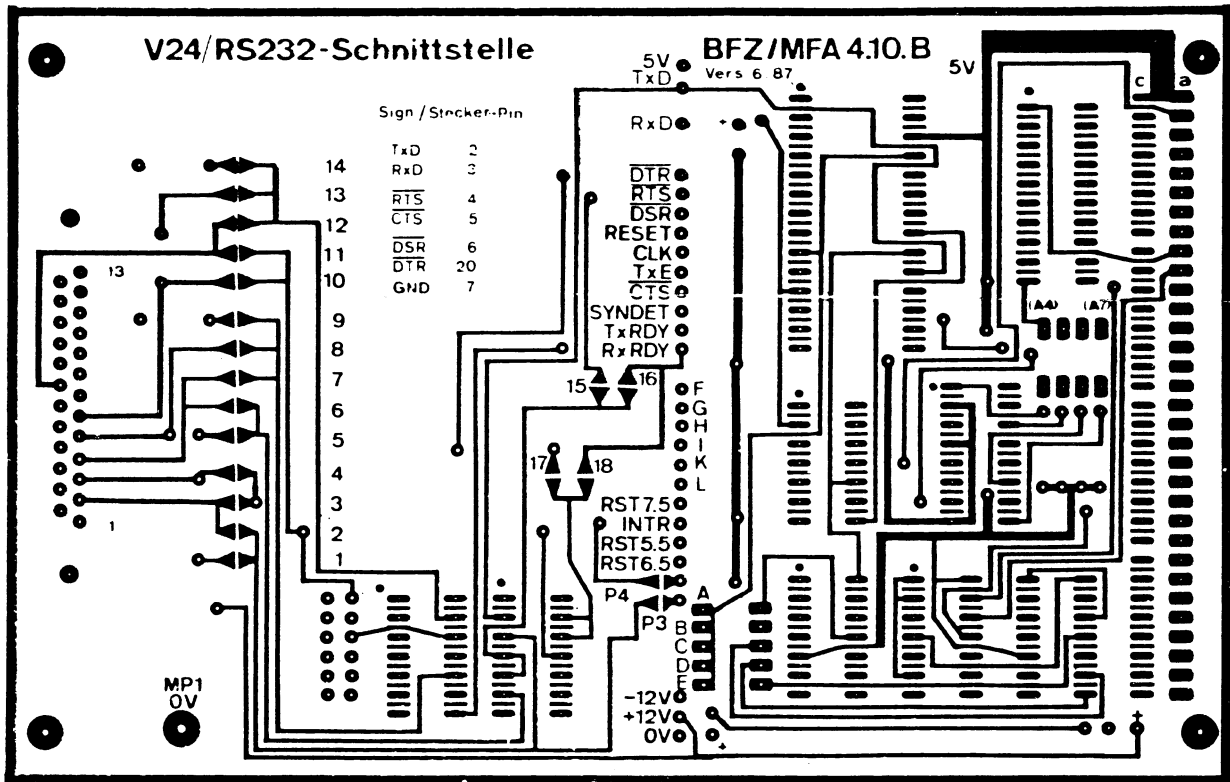
| Stckz. | Benennung/Daten | Bemerkung |
|--------|--|---------------------------------|
| 6 | Keramikkondensator 330 pF/50 V | RM 2,5 |
| 1 | IC 74 LS 04, Sechs Inverter | |
| 1 | IC 74 LS 85, 4-Bit-Vergleicher | |
| 2 | IC 74 LS 93, 4-Bit-Binärzähler | |
| 1 | IC 74 LS 00, Vier NAND-Gatter | |
| 1 | IC 74 LS 245, Acht Bus-Transceiver | |
| 1 | IC 8251A, programmierbarer serieller Schnittstellen-Baustein | |
| 1 | IC MC 1488, Vier Leitungstreiber für V24-Schnittstellen | oder SN 75188 |
| 1 | IC MC 1489, Vier Leitungsempfänger für V24-Schnittstellen | oder SN 75189 |
| 6 | IC-Fassung 14polig DIL | |
| 1 | IC-Fassung 16polig DIL | |
| 1 | IC-Fassung 20polig DIL | |
| 1 | IC-Fassung 28polig DIL | |
| 1 | Lötstift/Lötnagel für 1,3 mm Loch-Ø | als Meßpunkt |
| n.B. | Schaltdraht 0,5 mm | |
| n.B. | Lötendraht | |
| n.B. | Lötlack | |
| n.B. | Reinigungsmittel | zum Entfetten der Frontplatte |
| n.B. | Beschriftungsmaterial, Abreibe-symbole oder Tuscheschreiber | zum Beschriften der Frontplatte |
| n.B. | Plastik-Spray | zum Besprühen der Frontplatte |

Das zur Inbetriebnahme der Baugruppe erforderliche Material ist der Bereitstellungsliste zur Inbetriebnahme zu entnehmen.

Bohrplan Leiterplatte

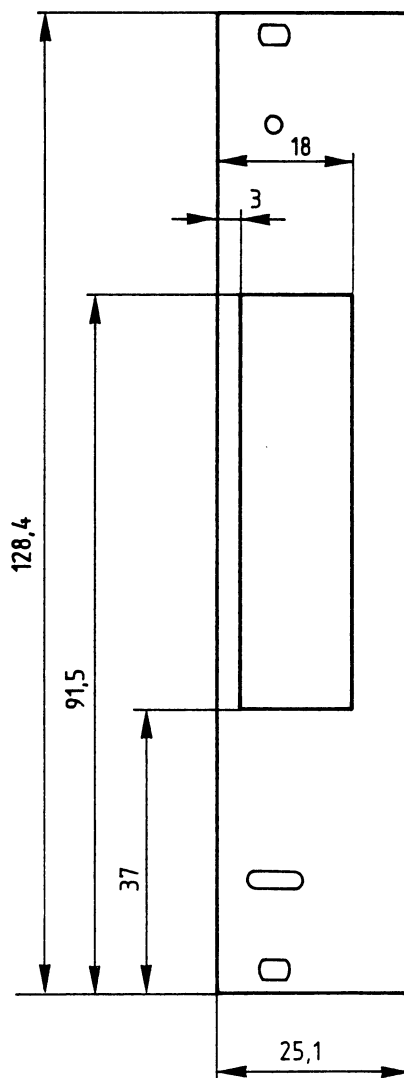


Alle nicht bemaßten Bohrungen $\phi 0,8$ mm
Benötigte Bohrer: 0,8 - 0,9 - 1,3 - 2,7 - 3,2 mm

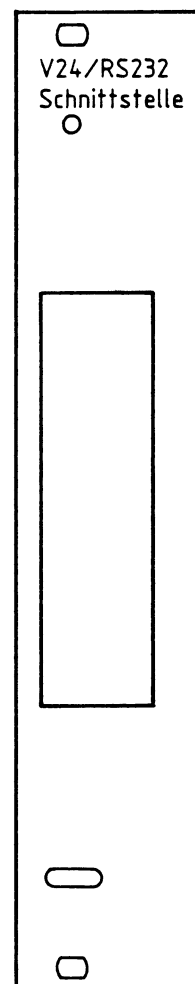


Bohrplan Frontplatte

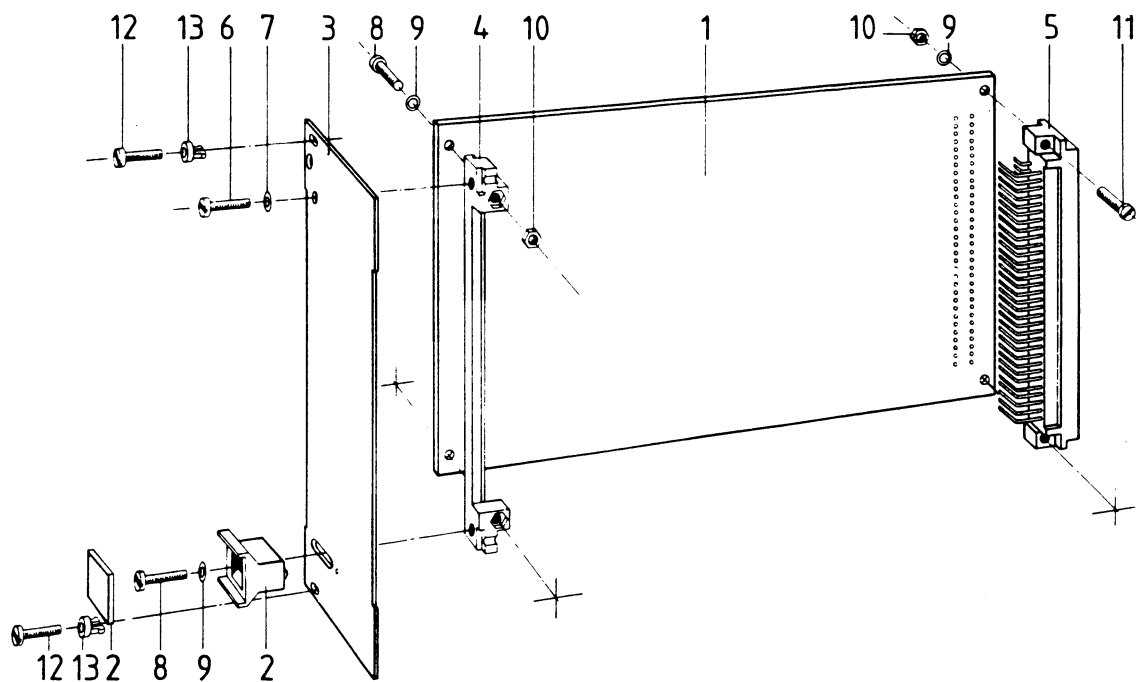
Beschriftungsvorschlag



Material: Frontplatte L-C 05
Alu 2mm



Zusammenbau Baugruppe



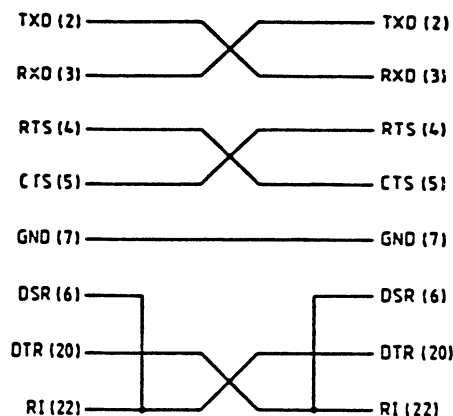
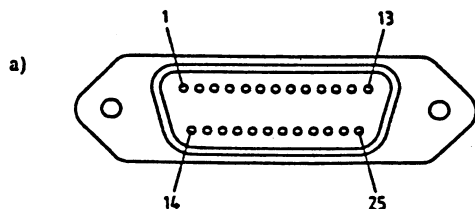
Stückliste für den Zusammenbau

| Pos. | Stckz. | Benennung/Daten | Bemerkung |
|------|--------|--|-------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.10. | komplett bestückt |
| 2 | 1 | Griff komplett | |
| 3 | 1 | Frontplatte | |
| 4 | 1 | Frontverbinder | |
| 5 | 1 | Messerleiste 64polig, DIN 41612 | |
| 6 | 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 7 | 1 | Federring B2,5 DIN 127 | |
| 8 | 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 9 | 5 | Federscheibe A2,7 DIN 137 | |
| 10 | 4 | Sechskantmutter M2,5 DIN 439 | |
| 11 | 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 12 | 2 | Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84 | |
| 13 | 2 | Schraubensicherung, Kunststoff | |

Anschlußbelegung

V 24/RS 232 - Datenkabel

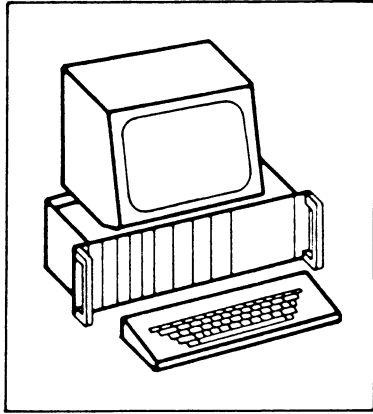
- a) Der genormte 25polige Stecker für die V24-Schnittstelle.
 b) Tabelle der V24-Signale. Die angegebene Signalrichtung bezieht sich immer auf die Blickrichtung vom Computer bzw. Terminal zum Modem.



b)

| Stift
Nr. | Signal-
richtung | Bezeichnung nach | | | Techn.
Abk. | Bezeichnung | |
|--------------|---------------------|------------------|----------------|-------|----------------|--|--|
| | | DIN | V24 | RS232 | | englisch | deutsch |
| 1 | | | | | | | |
| 2 | aus | D1 | 103 | BA | TXD | Transmitted Data | Sendedaten |
| 3 | ein | D2 | 104 | BB | RXD | Received Data | Empfangsdaten |
| 4 | aus | S2 | 105 | CA | RTS | Request to send | Sendeteil einschalten |
| 5 | ein | M2 | 106 | CB | CTS | Clear to send | Sendebereitschaft |
| 6 | ein | M1 | 107 | CC | DSR | Data set ready | Betriebsbereitschaft |
| 7 | | E2 | 102 | AB | GND | Signal ground | Betriebserde |
| 8 | | | | | | | |
| 9 | | | | | | | |
| 10 | | | | | | | |
| 11 | | | | | | | |
| 12 | | | | | | | |
| 13 | | | | | | | |
| 14 | | | | | | | |
| 15 | | | | | | | |
| 16 | | | | | | | |
| 17 | | | | | | | |
| 18 | | | | | | | |
| 19 | | | | | | | |
| 20 | ein
oder
aus | S1.1
S1.2 | 108/1
108/2 | CD | DTR | Connect data set
to line
Data terminal ready | Übertragungsleitungen
einschalten
Terminal betriebs-
bereit |
| 21 | | | | | | | |
| 22 | ein | M3 | 125 | CE | RI | Ring indicator | Ankommender Ruf |
| 23 | | | | | | | |
| 24 | | | | | | | |
| 25 | | | | | | | |

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



AD/DA-Wandler

(mit Hardware-Wandlern)



Inhalt

| | |
|---|----|
| 1. Einleitung | 2 |
| 2. Blockschaltbild und Arbeitsweise
der AD/DA-Baugruppe | 3 |
| 3. Der 8-Bit-AD-Wandler ZN 427 | 4 |
| 3.1 Die Erzeugung des Takt-Signals | 5 |
| 3.2 Die zeitliche Steuerung der AD-Wandlung | 6 |
| 3.3 Die Erzeugung der
Signale $\overline{\text{START}}$, $\overline{\text{OE}}$ und $\overline{\text{READY}}$ | 7 |
| 3.4 Der Analog-Eingang | 9 |
| 3.5 Die interne Referenzspannungs-Erzeugung | 11 |
| 4. Der DA-Wandler-Baustein ZN 428 | 11 |
| 4.1 Der Analog-Ausgang | 12 |
| 4.2 Das Prinzip des R-2R-Widerstands-
netzwerks | 13 |
| 4.3 Die zeitliche Steuerung
von $\overline{\text{IOW}}$, $\overline{\text{DAF}}$ und $\overline{\text{EN}}$ | 14 |
| 5. Übungsteil | 17 |

1. Einleitung

Viele elektronische Verarbeitungssysteme werden im Bereich der Meß-, Regelungs- oder Steuerungs-Technik eingesetzt. Die Anwendung der digitalen Schaltungstechnik ist heute so weit verbreitet, daß vielfach analoge Systeme vom Markt verdrängt wurden. Digitale Signale können im Gegensatz zu analogen Signalen direkt verarbeitet oder gespeichert werden. Ein weiterer Vorteil liegt in der digitalen Signalübertragung. Die Signale werden auf dem Übertragungsweg kaum verfälscht. Deshalb wird man in der Praxis analoge Signale so früh wie möglich digitalisieren.

Die meisten Meßfühler für elektrische und nichtelektrische Größen (z.B. Temperatur, Druck, Drehzahl) liefern analoge elektrische Signale. Vor ihrer Verarbeitung in digitalen Systemen müssen diese analogen elektrischen Signale umgewandelt werden. Dies geschieht mit sogenannten Analog/Digital-Wandlern. Soll das Ergebnis einer digitalen Verarbeitung auf analoge Signalempfänger gegeben werden, so ist hier zuvor eine Digital/Analog-Wandlung auszuführen. Beide Wandlungsarten lassen sich mit der hier vorgestellten Baugruppe "AD/DA-Wandler" durchführen: 1 Kanal analog-ein, 1 Kanal analog-aus.

In dieser Übung werden Aufbau und Funktion der Baugruppe beschrieben. Bei der Konzeption der Hardware wurde Wert auf den Einsatz von industrie- und handelsüblichen Bauteilen gelegt.

Die Baugruppe ist beliebig adressierbar und läßt sich wie eine Eingabe- oder Ausgabe-Baugruppe ansprechen. Obwohl beim Benutzen der Hardware Kenntnisse über verschiedene Wandlungsverfahren nicht erforderlich sind, ist es hilfreich, die Prinzipien der AD- und der DA-Wandlung zu kennen.

Die eingesetzten 8-Bit-Wandler machen mit Hilfe der Versorgungsspannung des MFA-Systems eine Umsetzung von ± 10 V möglich. Weil die AD-Wandlung nur ca. 20 μ s und die DA-Wandlung nur ca. 1 μ s dauert, läßt sich die Baugruppe sowohl für analoge Meßdatenerfassung als auch für regelungstechnische Vorgänge einsetzen.

2. Blockschaltbild und Arbeitsweise der AD/DA-Baugruppe

Bild 1 zeigt das Blockschaltbild der AD/DA-Wandler-Baugruppe, die im wesentlichen aus den Schaltungsteilen Adreßvergleichler, AD-Wandler-Baustein und DA-Wandler-Baustein besteht. Vor der Beschreibung spezieller Einzelheiten wird zunächst die grundsätzliche Wirkungsweise der Baugruppe anhand dieses Blockschaltbildes erklärt.

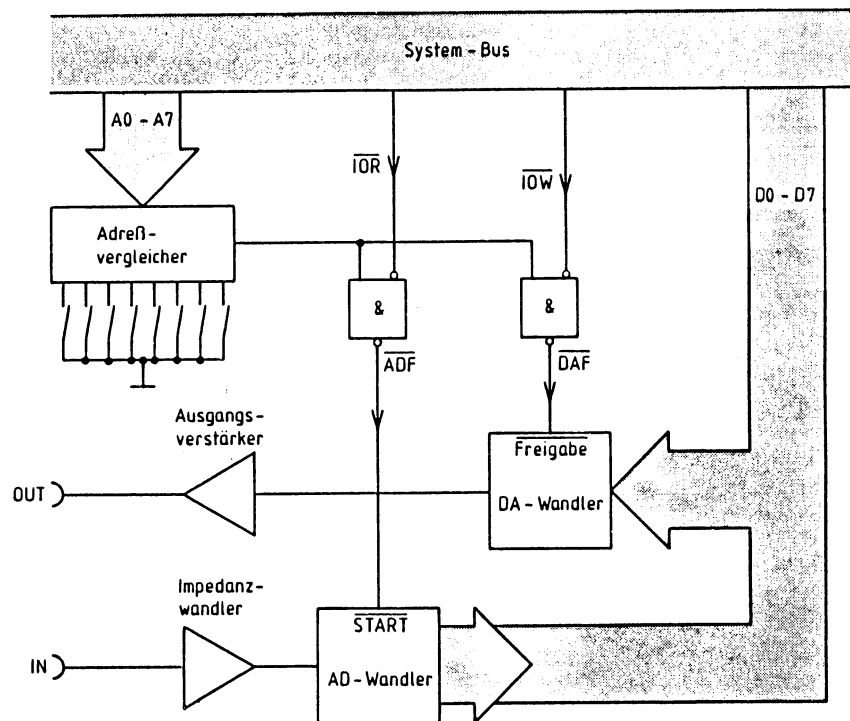


Bild 1: Das Blockschaltbild der AD/DA-Wandler-Baugruppe.

Wenn der Adreßvergleichler die Gleichheit der Adresse (A0 - A7) mit der eingestellten Baugruppen-Nummer signalisiert, so ist zur Einleitung der AD-Wandlung das $\overline{\text{IÖR}}$ -Steuersignal erforderlich und zur DA-Wandlung das $\overline{\text{IÖW}}$ -Steuersignal. Mit Hilfe der UND-Gatter werden die beiden Aktivierungs-Signale $\overline{\text{ADF}}$ (Analog/Digital-Freigabe) und $\overline{\text{DAF}}$ (Digital/Analog-Freigabe) erzeugt.

Mit $\overline{\text{ADF}}$ wird die AD-Wandlung eingeleitet, die dafür sorgt, daß der am IN-Eingang anliegende analoge Wert als entsprechende digitale Größe am Ausgang des AD-Wandler-Bausteins erscheint. Von hier aus gelangt er zum System-Bus.

Das $\overline{\text{DAF}}$ -Signal gibt den DA-Wandler-Baustein frei. Damit ist am OUT-Anschluß der analoge Wert verfügbar, der als digitale Größe vom System-Bus ausgesendet wurde.

3. Der 8-Bit-AD-Wandler ZN 427

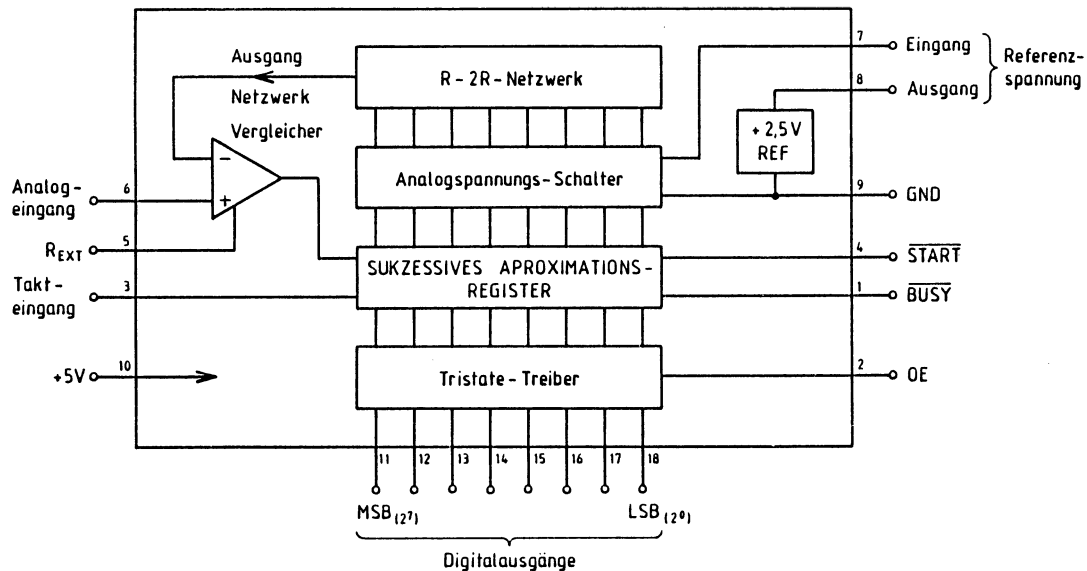


Bild 2: Das Blockschaltbild des ZN 427.

Der ZN 427 benutzt das Verfahren der sogenannten sukzessiven Approximation (der schrittweisen Annäherung). Es wird auch als Iterations- oder Wägeverfahren bezeichnet und benötigt sehr kurze Konversionszeiten (Wandlungszeiten). Man beginnt bei dem Bit mit dem höchsten Stellenwert ($\text{MSB} = 2^7$). Ergibt das MSB einen Wert, der kleiner ist als das analoge Eingangssignal, so wird dieses Bit gesetzt. Danach wird die Summe aus MSB und dem Bit 2^6 gebildet und mit dem Eingangssignal verglichen. Ist z.B. die Summe aus MSB und Bit 2^6 zu groß, so entfällt 2^6 und es wird die Summe aus MSB und Bit 2^5 gebildet. Mit dieser Methode nähert man sich immer mehr dem Eingangssignal an.

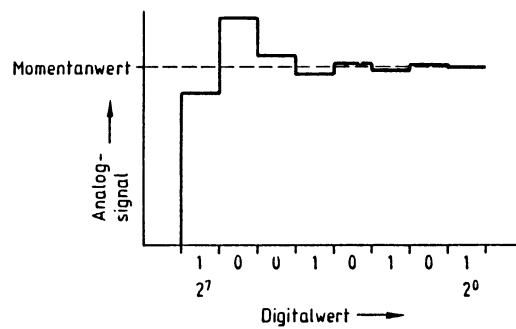


Bild 3: Das Prinzip der sukzessiven Approximation.

3.1 Die Erzeugung des Takt-Signals

Für die AD-Wandlung ist ein Taktsignal erforderlich. Es wird mit Hilfe von zwei Binärteilern im Baustein 74LS73 aus dem 2-MHz-Systemtakt des MFA-Systems gewonnen (siehe Bild 4). Dadurch erhält man am Ausgang der Binärteiler ein 500-kHz-Signal.

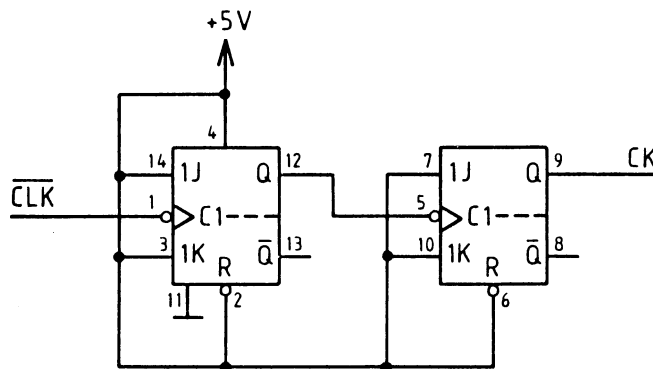


Bild 4: Die Erzeugung des 500-kHz-CK-Signals.

3.2 Die zeitliche Steuerung der AD-Wandlung

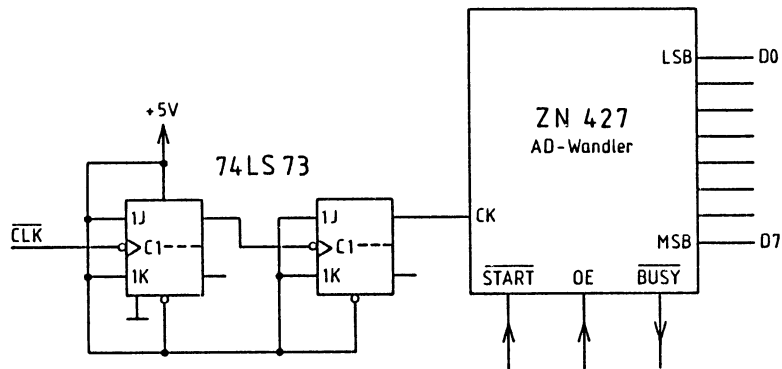


Bild 5: Binärteiler mit AD-Wandler.

Über die Binärteiler erhält der ZN 427 ständig das Taktsignal (siehe Bild 5). Damit wird aber noch keine Wandlung eingeleitet. Die Wandlung beginnt erst dann, wenn der Eingang START einen Startimpuls bekommt. Während der Wandlungszeit (ca. 18 μ s) liefert der Ausgang BUSY ein L-Signal und zeigt damit an, daß der ZN 427 mit der Wandlung beschäftigt ist und für keinen neuen Startimpuls bereit ist (siehe Bild 6).

Der Eingang OE (Output Enable) steuert die Tristate-Ausgänge D0 - D7 des Wandlers. Mit einem L-Signal an OE werden die Datenausgänge vollkommen abgeschaltet. Das H-Signal an OE gibt die Ausgänge wieder frei, so daß ein Zugriff auf die Daten möglich ist.

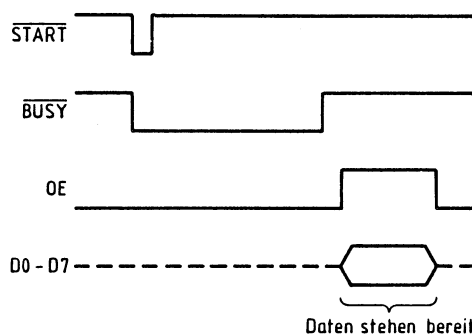


Bild 6: Das Zeitdiagramm der AD-Wandlung beim ZN 427.

3.3 Die Erzeugung der Signale $\overline{\text{START}}$, OE und READY

Soll eine AD-Wandlung eingeleitet werden, so müssen zunächst die Adreßvergleichler IC 4 und IC 5 (Baustein 74LS85) Gleichheit signalisieren. Auf die Arbeitsweise des 8-Bit-Adreßvergleichers wird in dieser Übung nicht eingegangen, da der Adreßvergleichler in den Fachpraktischen Übungen des MFA-Mediensystems bereits mehrfach beschrieben wurde.

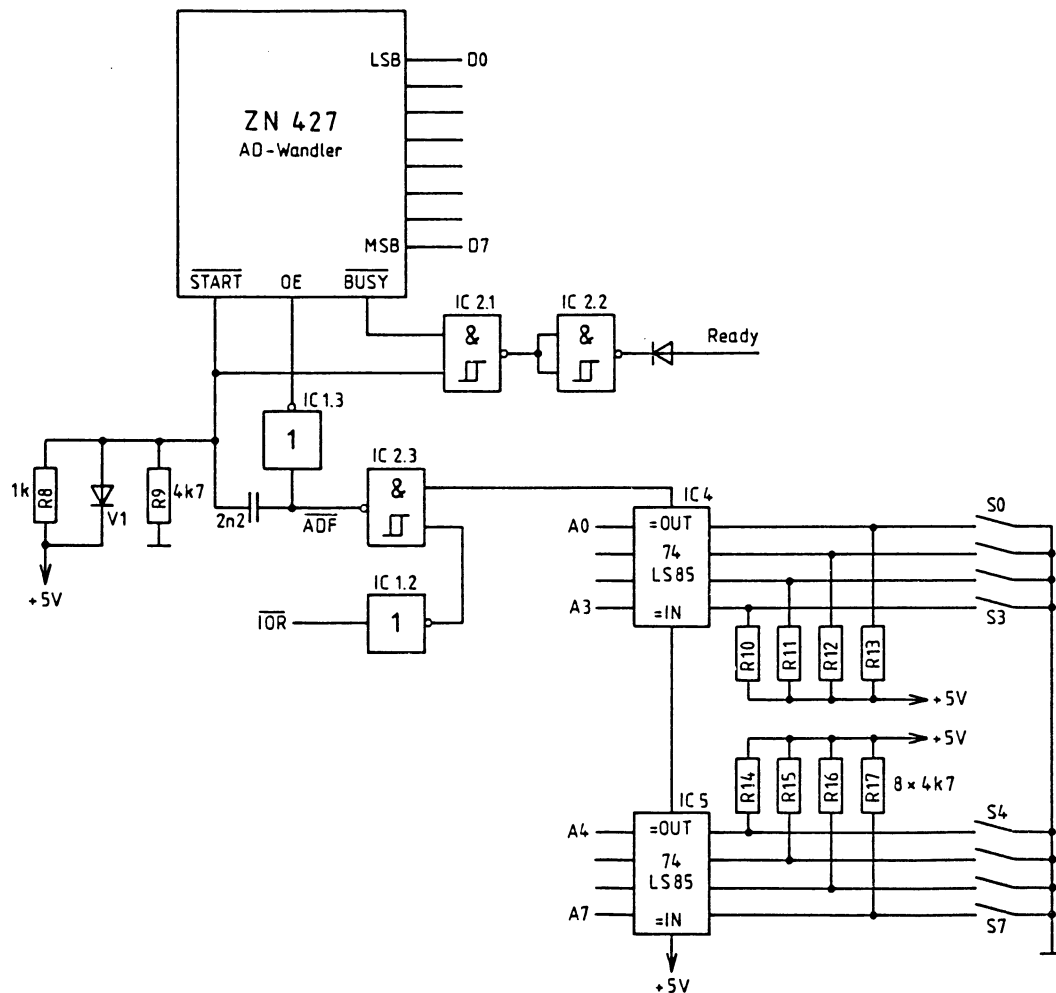


Bild 7: Die Erzeugung der Steuersignale.

Mit Hilfe von IC 1.2 und IC 2.3 wird das OUT-Signal von IC 4 mit dem $\overline{\text{IOR}}$ -Signal des MFA-Systems verknüpft (siehe Bild 7). Am Ausgang von IC 2.3 erscheint jetzt das $\overline{\text{ADF}}$ -Signal (Analog/Digital-Freigabe). Der low-Pegel von $\overline{\text{ADF}}$ ist während der gesamten Wandlungszeit (ca. 18 μs) vorhanden. Zum Starten ist aber ein kurzzeitiger Impuls erforderlich. Deshalb wird das ADF-Signal mit

Hilfe der Widerstände R8 und R9 sowie des Kondensators C2 differenziert. Die Diode V begrenzt bei der steigenden Flanke von $\overline{\text{ADF}}$ das START-Signal auf ca. 5,7 V.

Der Eingang OE erhält während der gesamten Wandlungszeit einen H-Pegel (siehe Bild 8). Innerhalb dieser Zeit liefern die Tristate-Ausgänge D0 - D7 veränderliche digitale Signale.

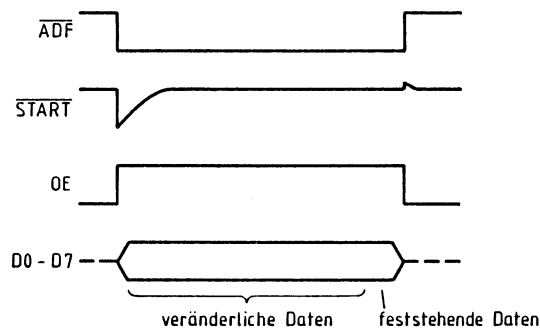


Bild 8: Das Zeitdiagramm von $\overline{\text{ADF}}$, $\overline{\text{START}}$ und OE.

Erst am Ende der Wandlung, wenn das digitale Ergebnis bereitsteht, übernimmt die CPU des MFA-Systems den digitalen Wert. Sie wird während der Wandlung über den READY-Anschluß angehalten. Die CPU läßt sich über den READY-Anschluß aber nur dann anhalten, wenn zwischen der fallenden Flanke von $\overline{\text{IOR}}$ und dem L-Pegel am READY-Eingang nicht mehr als ca. 80 ns liegen. Das $\overline{\text{BUSY}}$ -Signal des Wandlers reagiert allerdings auf den $\overline{\text{START}}$ -Impuls mit einer Verzögerung von ca. 250 ns (siehe Bild 9).

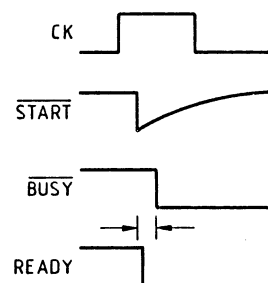


Bild 9: Das Zeitdiagramm von $\overline{\text{START}}$, $\overline{\text{BUSY}}$ und READY.

Aus diesem Grunde kann der $\overline{\text{BUSY}}$ -Ausgang nicht direkt den READY -Eingang ansteuern. Das READY -Signal wird deshalb aus dem $\overline{\text{START}}$ -Impuls und dem $\overline{\text{BUSY}}$ -Signal gebildet; siehe Bilder 7 und 9. So ergibt sich nur noch eine Verzögerung von maximal $50 \mu\text{s}$. Um das gleichzeitige Arbeiten mit Baugruppen zu ermöglichen, die ebenfalls das READY -Signal benutzen, wurde in die READY -Leitung eine Germanium-Diode gelegt. Dadurch erhält man eine ODER-Verknüpfung der einzelnen Baugruppen.

3.4 Der Analog-Eingang

Der AD-Wandler erhält das analoge Eingangssignal über den Eingang IN (siehe Bild 10, Pin 6). Er besitzt einen zulässigen Analogbereich von 0 V bis zu dem Pegel, der am Referenzspannungseingang (Pin 7) anliegt. Da in der vorliegenden Schaltung diesem Eingang die intern erzeugte Referenzspannung zugeführt wird, darf der Pegel am Anschluß 6 den Wert von $2,5 \text{ V}$ nicht überschreiten.

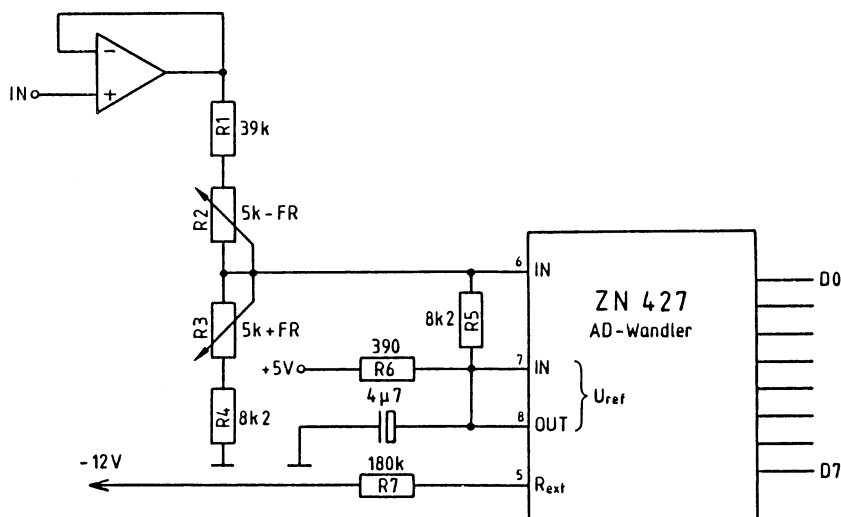


Bild 10: Der Eingangs-Spannungsteiler.

Wird ein bipolarer Analogbereich gewünscht, so muß am Anschluß 6 mit Hilfe von richtig dimensionierten Spannungsteilern ($R_1 - R_5$; siehe Bild 10) der niedrigste Analogwert den Pegel 0 V und der höchste Analogwert den Pegel $+2,5 \text{ V}$ ergeben.

Bei der Berechnung von R1 - R5 wurde von einem Analogbereich ausgegangen, der sich von -12,8 V bis +12,7 V erstreckt. So erhält man am digitalen Ausgang D0 - D7 eine Zuordnung von 1 Digit pro 0,1 V. Für einen anderen Eingangsspannungsbereich müssen die Widerstände R1 - R5 geändert werden.

Bei unipolaren Operationen gilt:

$$R1 + R2 = \frac{U_{\max}}{2,5 \text{ V}} \cdot 4 \text{ k}\Omega$$

$$R3 + R4 = \frac{U_{\max}}{U_{\max} - 2,5 \text{ V}} \cdot 4 \text{ k}\Omega$$

Der Widerstand R5 sollte durch eine Reihenschaltung aus einem 1-M Ω -Potentiometer und einem 680-k Ω -Festwiderstand ersetzt werden.

Bei bipolaren Operationen gilt:

$$R1 + R2 = \frac{U_{\max}}{2,5 \text{ V}} \cdot 8 \text{ k}\Omega$$

$$R3 + R4 = \frac{U_{\max}}{U_{\max} - 2,5 \text{ V}} \cdot 8 \text{ k}\Omega$$

Der Widerstand R5 kann als 8,2-k Ω -Festwiderstand eingesetzt werden.

Über den Widerstand R7 wird ein interner Differenz-Verstärker mit einer negativen Spannung versorgt. Steht keine -12 V zur Verfügung, so muß R7 entsprechend der folgenden Tabelle geändert werden:

| | | | | | | | | |
|---------------------|----|----|-----|-----|-----|-----|-----|-----|
| $\frac{U}{V}$ | -3 | -5 | -10 | -12 | -15 | -20 | -25 | -30 |
| $\frac{R}{k\Omega}$ | 47 | 82 | 150 | 180 | 220 | 330 | 390 | 470 |

spannungs-Quelle. Die intern erzeugte Referenzspannung von 2,5 V wird direkt dem Referenzspannungs-Eingang zugeführt wird (siehe Bild 13).

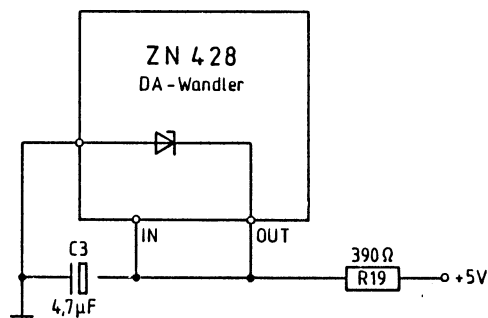


Bild 13: Die Versorgung des Referenzspannungs-Eingangs.

4.1 Der Analog-Ausgang

Der analoge Ausgang des DA-Wandlers (Bild 14, Pin 5) liefert Ausgangsspannungen von 0 V bis 2,5 V. Die nachgeschaltete Operationsverstärkerschaltung sorgt für einen Bereich von -12,8 V bis +12,7 V. Das entspricht einer Schrittweite von 1 Digit/0,1 V. Aufgrund der Versorgungsspannung des MFA-Systems von ± 12 V reduziert sich der Bereich bei gleicher Schrittweite auf ± 10 V am Ausgang des Operationsverstärkers.

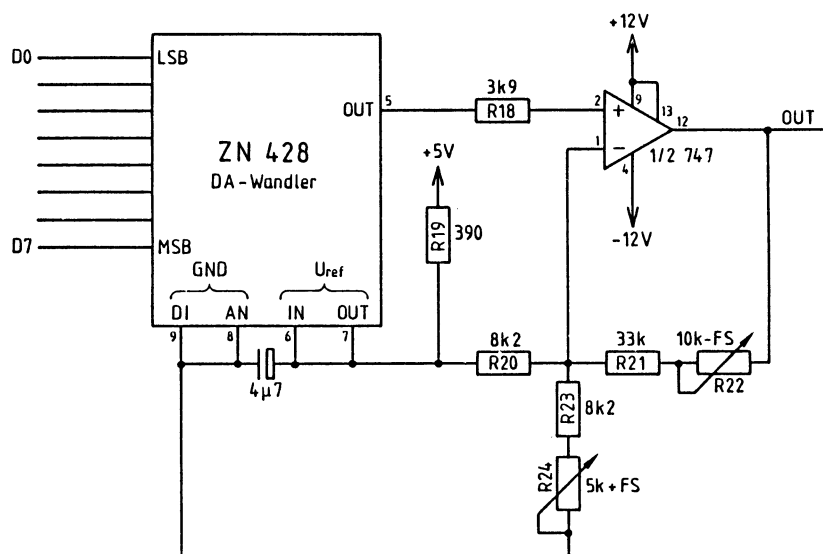


Bild 14: Die Erzeugung der analogen Ausgangsspannung.

Mit Hilfe der Widerstände R20 - R24 läßt sich die analoge Ausgangsspannung den jeweiligen Erfordernissen anpassen.

Für unipolare Ausgangsspannungen gilt:

$$R20 = \infty \quad (R20 \text{ entfernen})$$

$$R21 + R22 = \frac{U_{\text{amax}}}{2,5 \text{ V}} \cdot 4 \text{ k}\Omega$$

$$R23 + R24 = \frac{U_{\text{amax}}}{U_{\text{amax}} - 2,5 \text{ V}} \cdot 4 \text{ k}\Omega$$

Für bipolare Ausgangsspannungen gilt:

$$R20 = 8,2 \text{ k}\Omega$$

$$R21 + R22 = \frac{U_{\text{amax}}}{2,5 \text{ V}} \cdot 8 \text{ k}\Omega$$

$$R23 + R24 = \frac{U_{\text{amax}}}{U_{\text{amax}} - 2,5 \text{ V}} \cdot 8 \text{ k}\Omega$$

4.2 Das Prinzip des R-2R-Widerstandsnetzwerks

Das R-2R-Netzwerk besitzt Widerstände mit nur zwei unterschiedlichen Werten, wobei ein Widerstandswert doppelt so groß wie der andere ist. Bild 15 zeigt den Prinzipaufbau eines 4-Bit-Netzwerks zur DA-Wandlung.

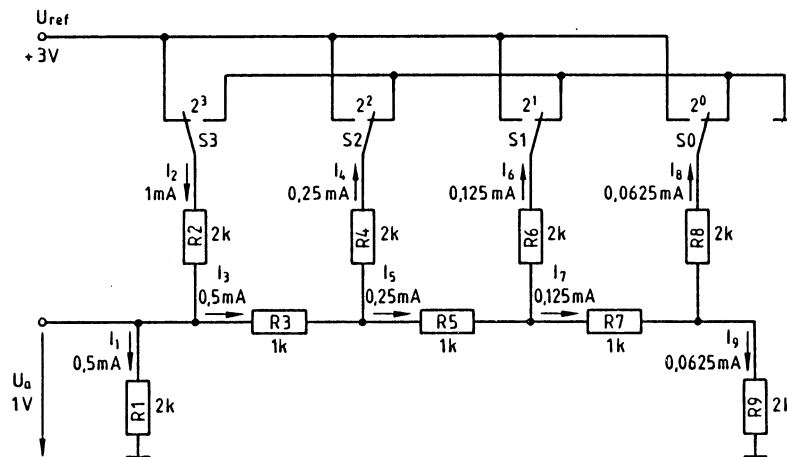


Bild 15: Das R-2R-Netzwerk, hier mit dem Digitalwert 1000_2 gezeigt.

Dieser Wandler besteht im wesentlichen aus einer Referenzspannungs-Quelle sowie den Widerständen und den Umschaltern $S_0 - S_3$. In einer integrierten Schaltung werden die Umschalter als elektronische Elemente (z.B. Schalttransistoren) realisiert.

Durch die Dimensionierung der Widerstände ergeben sich bei der eingezeichneten Schalterstellungen (Digitalwert = 1000_2) die Ströme I_1 bis I_9 . Der Strom I_1 erzeugt am Widerstand R_1 eine Spannung, die analog zum eingestellten Digitalwert ist ($0,125\text{ V}$ pro Digit). Die Ausgangsspannung (hier $1,000\text{ V}$) kann jetzt mit Hilfe eines Operationsverstärkers auf den gewünschten Wert gebracht werden.

4.3 Die zeitliche Steuerung von \overline{IOW} , \overline{DAF} und \overline{EN} .

Mit Hilfe von IC 1.1 und IC 2.4 wird das OUT-Signal des Adreßvergleichers mit dem \overline{IOW} -Signal des MFA-Systems verknüpft (siehe Bild 16). Am Ausgang von IC 2.4 erscheint jetzt das \overline{DAF} -Signal (Digital/Analog-Freigabe).

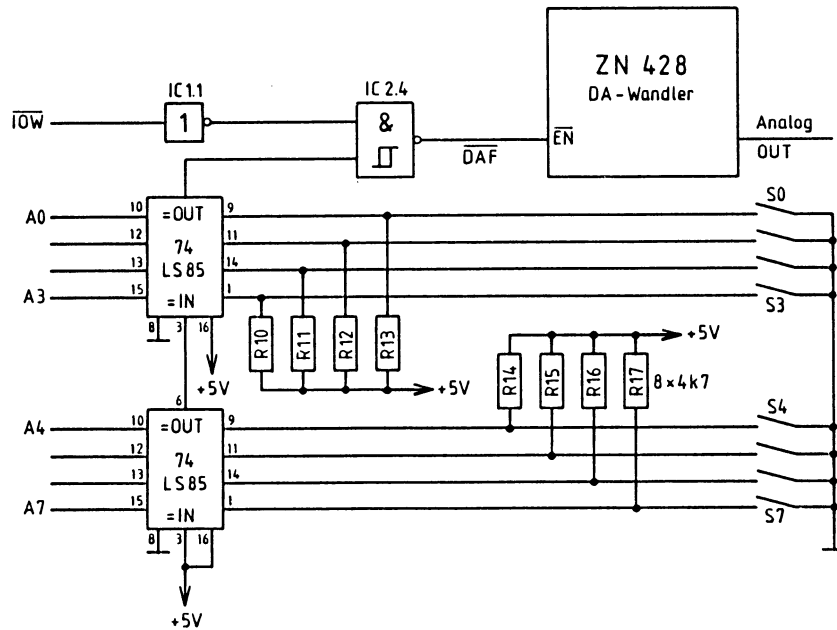


Bild 16: Die Erzeugung des $\overline{\text{DAF}}$ -Signals.

Das $\overline{\text{DAF}}$ -Signal wird direkt zur Steuerung des internen Datenspeichers benutzt. Erhält der Eingang $\overline{\text{EN}}$ einen L-Pegel, so wird der Digitalwert vom internen Speicher übernommen und ist damit am Ausgang (Pin 5) als Analogsignal verfügbar. Nimmt das $\overline{\text{DAF}}$ -Signal wieder H-Pegel an, so bleibt der Digitalwert gespeichert (siehe Bild 17).

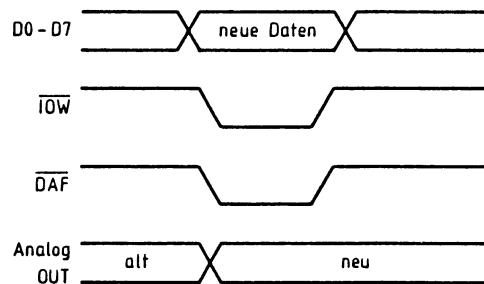


Bild 17: Die zeitliche Steuerung der DA-Wandlung.

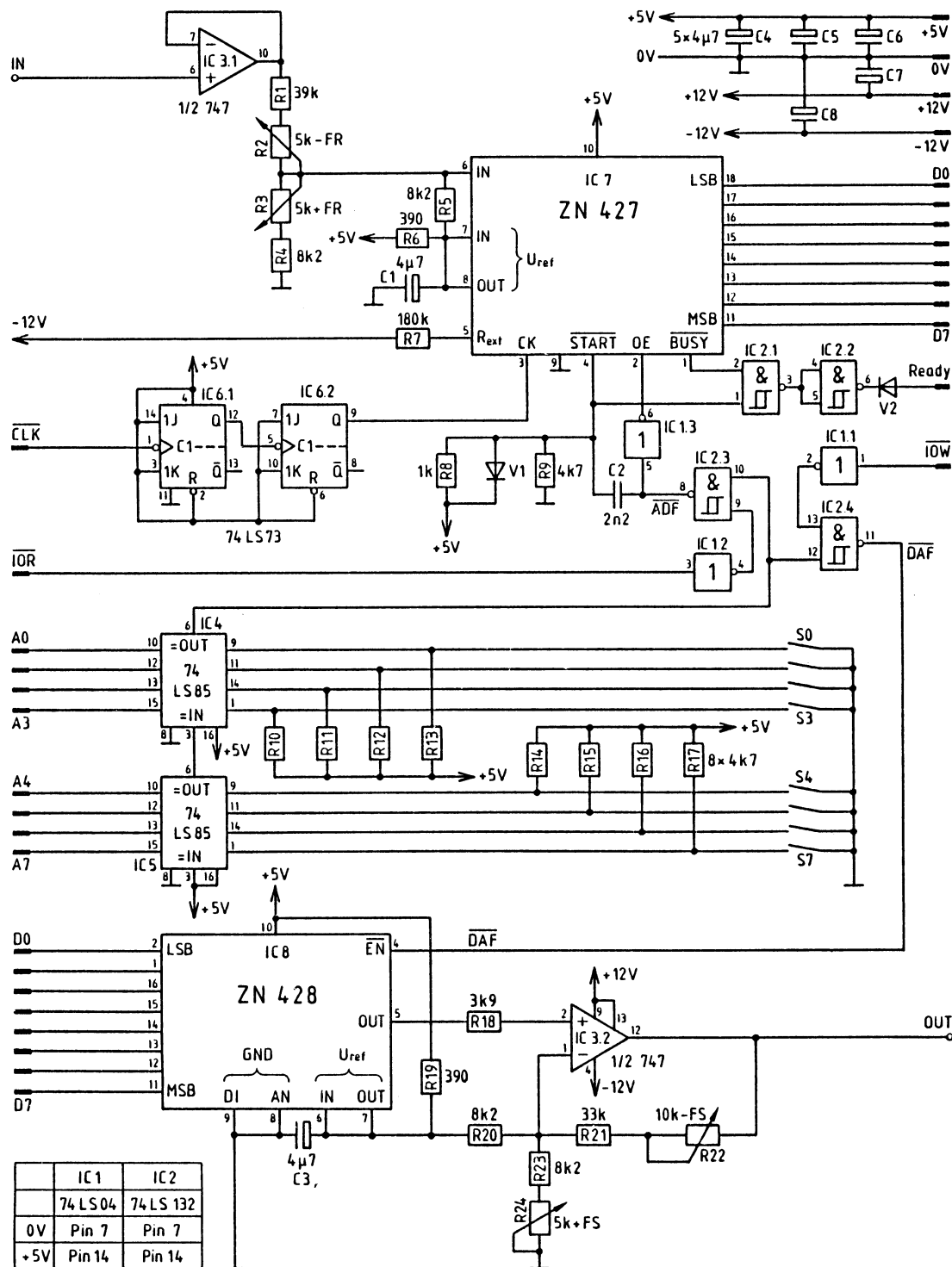
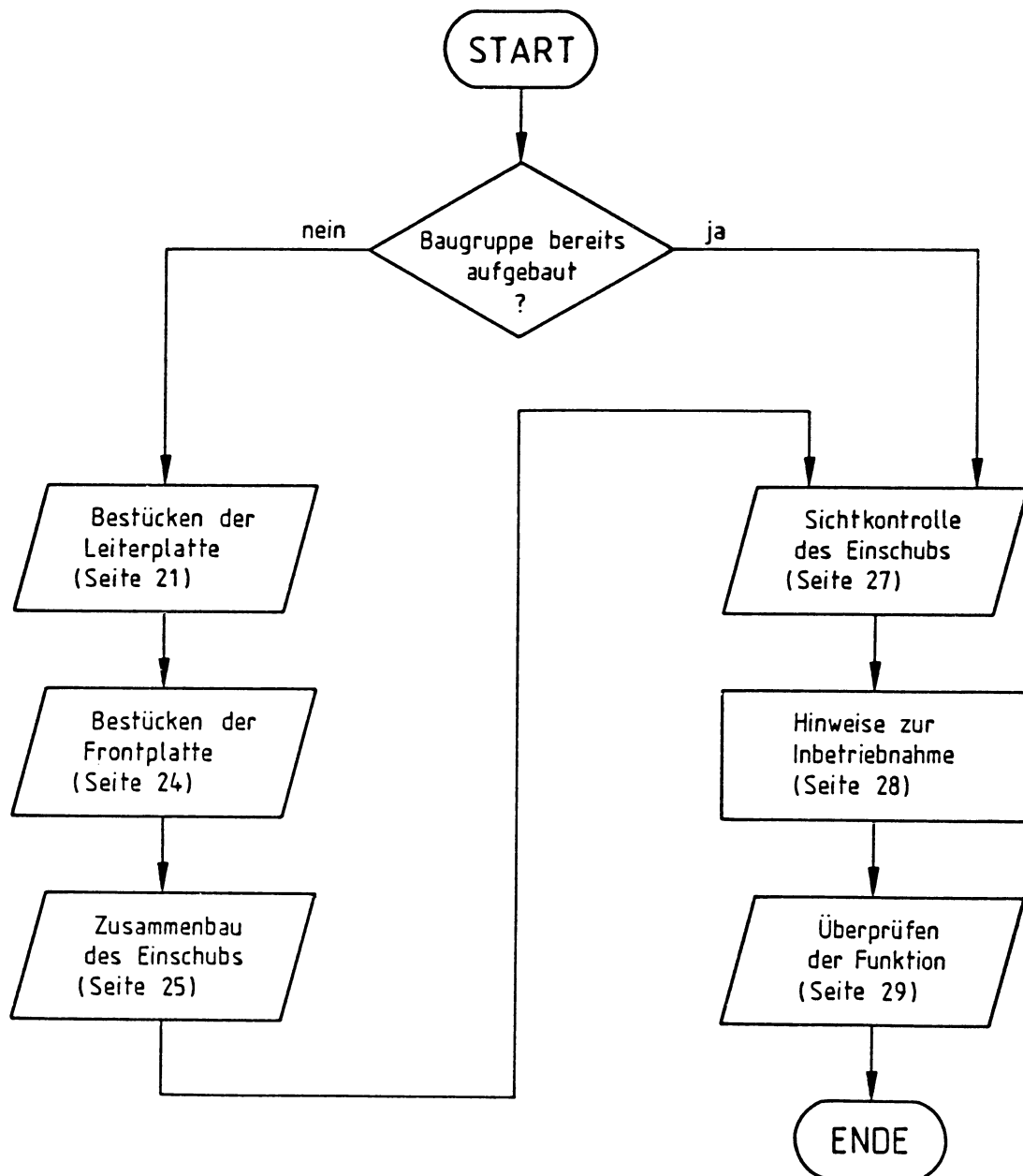


Bild 18: Der Stromlaufplan der AD/DA-Wandler-Baugruppe.

5. Übungsteil

Die Arbeitsschritte:

In dieser Übung werden Sie den Einschub "AD/DA-Wandler" aufbauen und in Betrieb nehmen. Falls Sie bereits einen zusammengebauten Einschub erhalten haben, besteht Ihre Aufgabe darin, ihn zu überprüfen und in Betrieb zu nehmen.



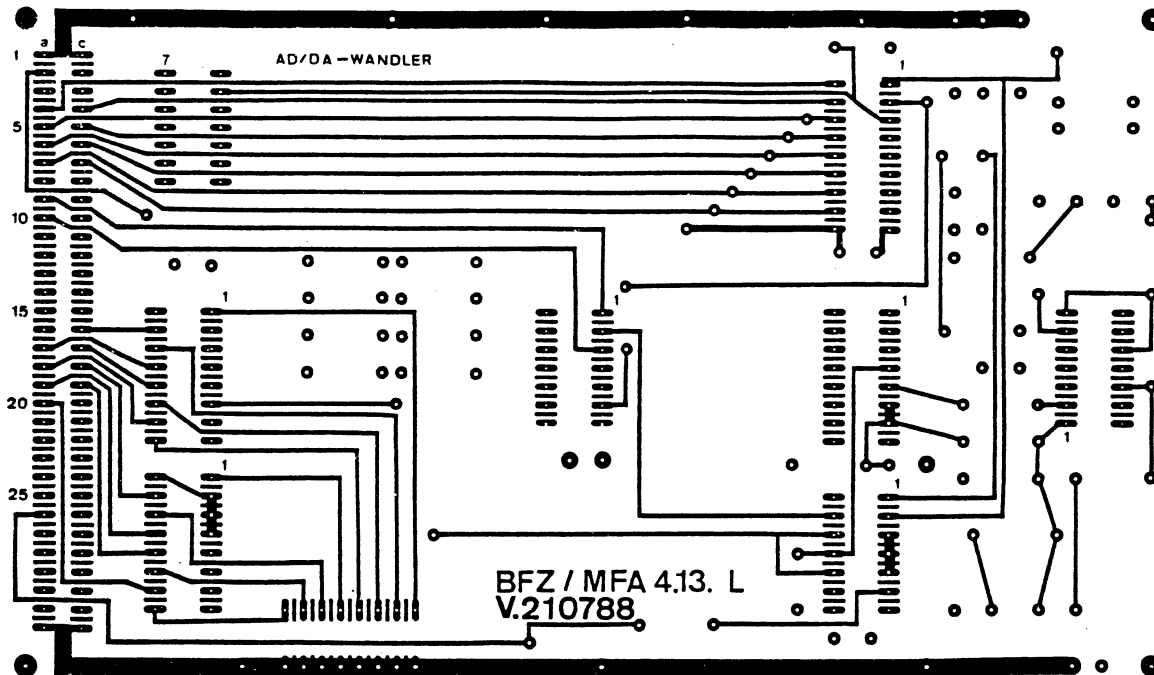
Bereitstellungsliste:

| Stckz. | Benennung / Daten | Bemerkung |
|--------|--|---|
| 1 | Leiterplatte 100x160 mm
(Epoxid-Glashartgewebe) | fertig geätzt und
gebohrt |
| 1 | Frontplatte, Teilung L-C 05
Alu, 2 mm dick, Breite: 25,1 mm | fertig gebohrt und
beschriftet |
| 1 | Griff kompl. mit Abdeckung T03 | z.B. Interma Nr.409-017927 |
| 1 | Frontverbinder 1,6 FEE | z.B. Interma Nr.409-024830 |
| 1 | Messerleiste 64pol., DIN 41612 | z.B. Erni STV-P-364a/c
Best.-Nr.: 9722.333.401 |
| 1 | Zylinderschraube M2,5x8 DIN 84 | |
| 2 | Zylinderschraube M2,5x10 DIN 84 | |
| 3 | Zylinderschraube M2,5x12 DIN 84 | |
| 2 | Zylinderschraube mit Schaft
BM 2,5x10/5 DIN 84 | |
| 5 | Federscheibe A 2,7 DIN 137 | |
| 1 | Federring B 2,5 DIN 127 | |
| 4 | Sechskantmutter M 2,5 DIN 439 | |
| 2 | Schraubensicherung, Kunststoff | z.B. Interma Nr.409-026748 |
| 2 | Steckbuchse, Vollkunststoff mit
Löt-Steckanschluß 6,3x0,8mm,
Einbau-Durchmesser 8 mm, gelb | z.B. Typ Ebi 41 F |
| 1 | Steckbuchse, Vollkunststoff mit
Löt-Steckanschluß 6,3x0,8 mm,
Einbau-Durchmesser 8 mm, schwarz | |
| 1 | Miniatur-Schiebeschalter 8polig,DIL | als Codierschalter |
| 2 | Widerstand 390 Ω | alle Widerstände
0,25 W / $\pm 5\%$ Tol. |
| 1 | Widerstand 1 k Ω | |
| 1 | Widerstand 3,9 k Ω | |
| 9 | Widerstand 4,7 k Ω | |
| 4 | Widerstand 8,2 k Ω | |

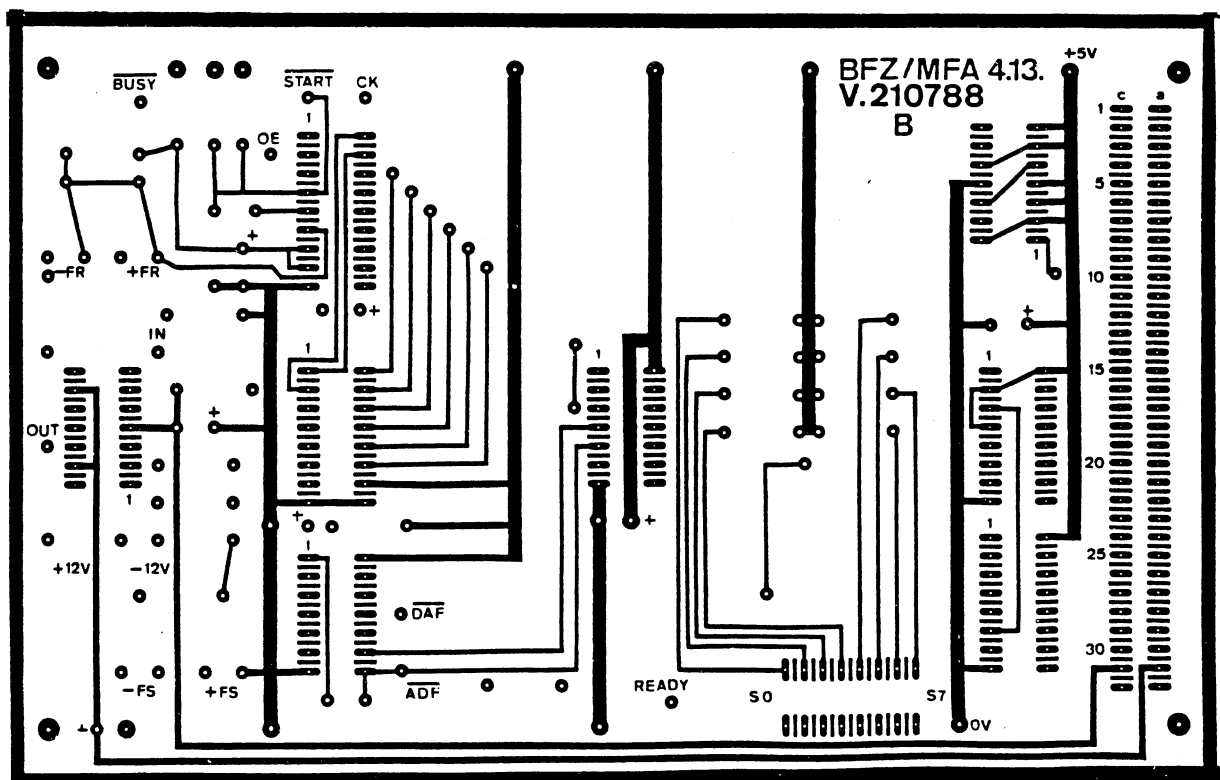
(noch: Bereitstellungsliste)

| Stckz. | Benennung / Daten | Bemerkung |
|--------|---------------------------------------|------------------------|
| 1 | Widerstand 33 k Ω | |
| 1 | Widerstand 39 k Ω | |
| 1 | Widerstand 180 k Ω | |
| 3 | Trimmwiderstand 5 k Ω / 0,1 W | liegend, RM 10 x 5 mm |
| 1 | Trimmwiderstand 10 k Ω / 0,1 W | liegend, RM 10 x 5 mm |
| 1 | Kondensator 2,2 nF / 63 V | |
| 1 | Si-Diode 1N4148 | |
| 1 | Ge-Diode AA 118 | |
| 4 | IC-Fassung 14polig, DIL | siehe Anmerkung |
| 3 | IC-Fassung 16polig, DIL | siehe Anmerkung |
| 1 | IC-Fassung 18polig, DIL | siehe Anmerkung |
| 7 | Tantal-Elko 4,7 μ F / 25 V | Tropfenform |
| 1 | IC 74 LS 04, Sechs Inverter | |
| 1 | IC 74 LS 132, 4 NAND-Schmitt-Trigger | |
| 2 | IC 74 LS 85, 4-Bit-Vergleicher | |
| 1 | IC 74 LS 73, zwei JK-Flipflops | |
| 1 | IC 747, zwei Operationsverstärker | |
| 1 | IC ZN427, AD-Wandler | |
| 1 | IC ZN428, DA-Wandler | |
| 8 | Stecklötösen 1,1 mm | z.b. Bürklin Nr.12H556 |
| n.B. | Lötdraht | |
| n.B. | Lötlack | |
| n.B. | Schaltlitze 0,25 mm ² | gelb |
| n.B. | Schaltdraht, Durchm. 0,5 mm, versilb. | |

Das Layout der Leiterbahnseite:

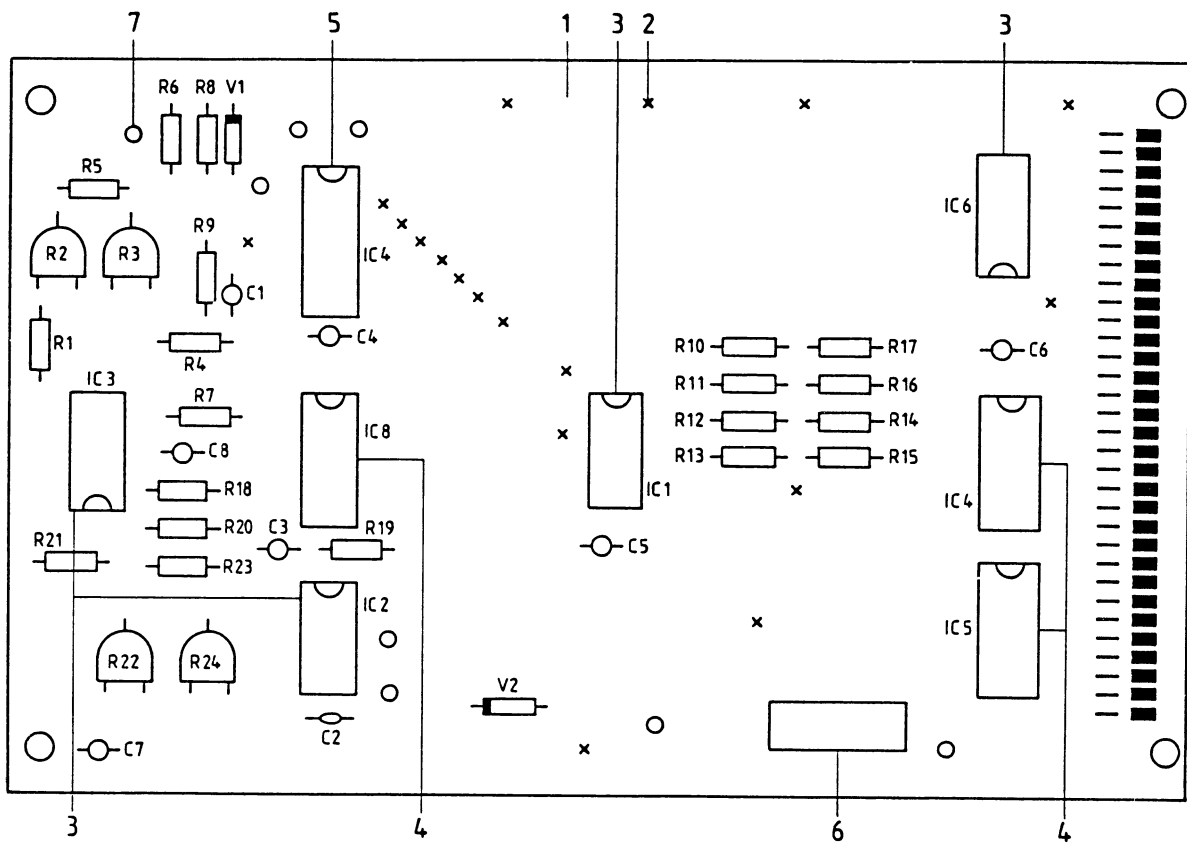


Das Layout der Bestückungsseite:



Bestücken Sie die Leiterplatte mit Hilfe des Bestückungsplans, der Stückliste und der Bauteilliste. Vorher sollten Sie alle Leiterbahnen möglichst mit einer Lupe nach Rissen, Kurzschlüssen, Ätzfehlern und Bohrgraten untersuchen und Fehler entsprechend beseitigen.

Der Bestückungsplan der Leiterplatte:



Stückliste Leiterplatte:

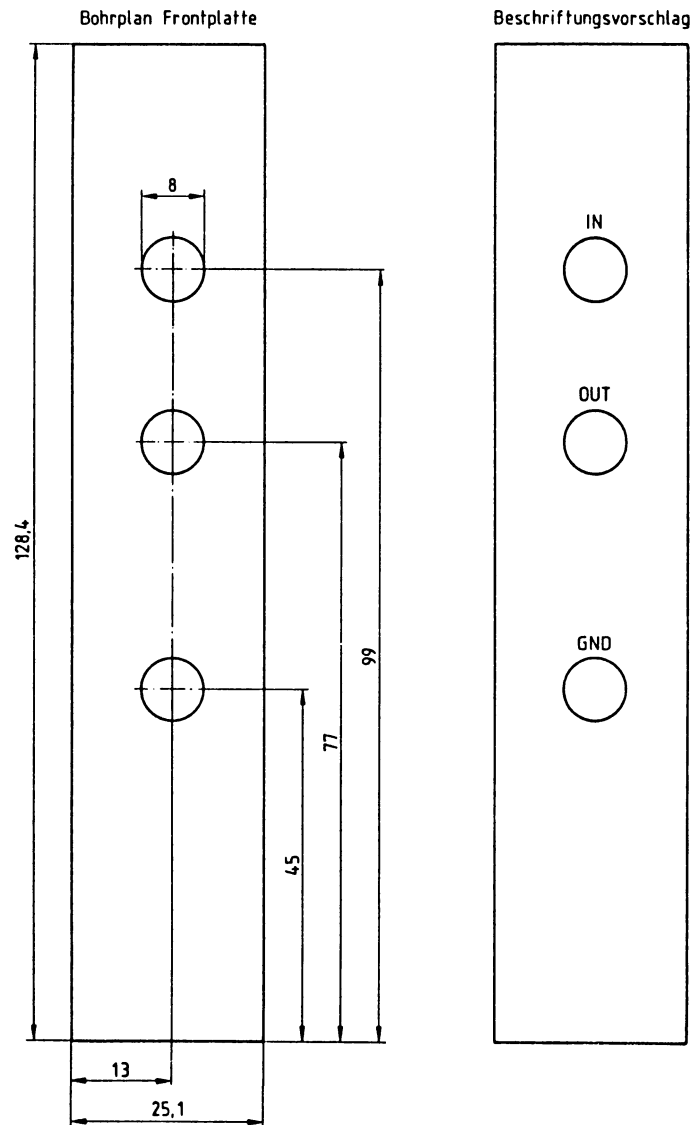
| Pos. | Stckz. | Benennung / Daten | Bemerkung |
|------|--------|--------------------------------|-------------------|
| 1 | 1 | Leiterplatte BFZ/MFA 4.13 | bereits vorhanden |
| 2 | 18 | Durchkontaktierung | |
| 3 | 4 | IC-Fassung 14polig | |
| 4 | 3 | IC-Fassung 16polig | |
| 5 | 1 | IC-Fassung 18polig | |
| 6 | 1 | Miniatur-Schiebeschalter 8pol. | |
| 7 | 8 | Stecklötösen | |

Bauteilliste Leiterplatte:

| Kennz. | Benennung / Daten |
|----------|-------------------------------------|
| R1 | Widerstand 39 k Ω |
| R2-R3 | Trimmwiderstand 5 k Ω |
| R4-R5 | Widerstand 8,2 k Ω |
| R6 | " 390 Ω |
| R7 | " 180 k Ω |
| R8 | " 1 k Ω |
| R9-R17 | " 4,7 k Ω |
| R18 | " 3,9 k Ω |
| R19 | " 390 Ω |
| R20 | " 8,2 k Ω |
| R21 | " 33 k Ω |
| R22 | Trimmwiderstand 10 k Ω |
| R23 | Widerstand 8,2 k Ω |
| R24 | Trimmwiderstand 5 k Ω |
| C1 | Tantal-Elko 4,7 μ F / 25 V |
| C2 | Kondensator 2,2 nF / 63 V |
| C3-C8 | Tantal-Elko 4,7 μ F / 25 V |
| V1 | Si-Diode 1N4148 |
| V2 | Ge-Diode AA 118 |
| IC1 | Sechs Inverter 74 LS 04 |
| IC2 | Vier NAND-Schmitt-Trigger 74 LS 132 |
| IC3 | Zwei Operationsverstärker 747 |
| IC4, IC5 | 4-Bit-Vergleicher 74 LS 85 |
| IC6 | Zwei JK-Flipflops 74 LS 73 |

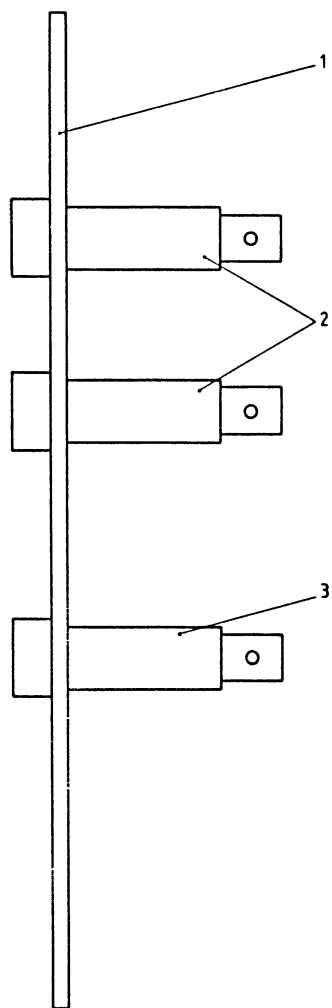
Bohrplan und Beschriftung der Frontplatte:

(Material: Alu, 2mm; Beschriftungshöhe ca. 3,5 mm)



Bestücken Sie die Frontplatte nach Bestückungsplan und Stückliste.

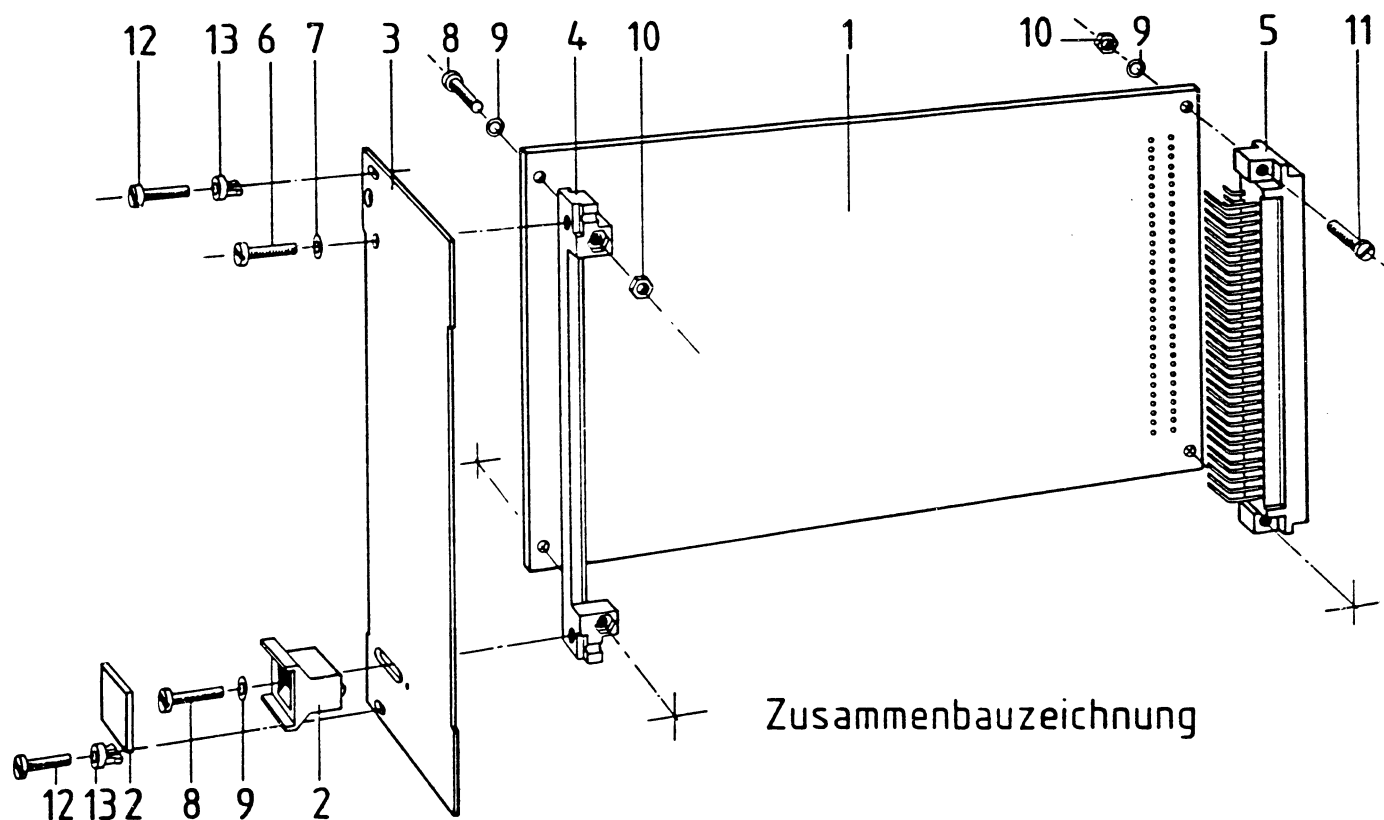
Bestückungsplan der Frontplatte:



Stückliste Frontplatte:

| Pos. | Stckz. | Benennung / Daten | Bemerkung |
|------|--------|--------------------|-----------|
| 1 | 1 | Frontplatte | |
| 2 | 2 | Steckbuchse 0 8 mm | gelb |
| 3 | 1 | Steckbuchse 0 8 mm | schwarz |

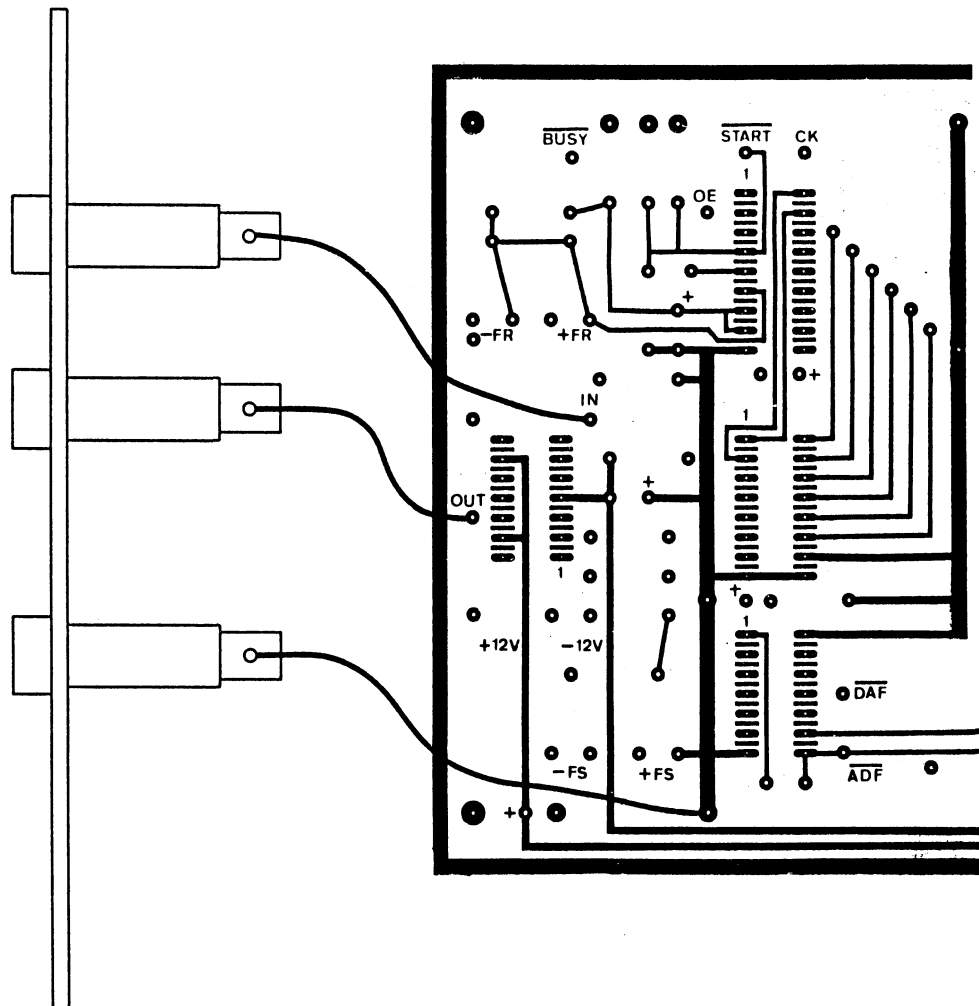
Bauen Sie den Einschub nach der folgenden Zeichnung und der Stückliste zusammen.



Stückliste für den Zusammenbau:

| Pos. | Stck. | Benennung / Daten |
|------|-------|---|
| 1 | 1 | Leiterplatte (bestückt) |
| 2 | 1 | Griff, komplett |
| 3 | 1 | Frontplatte |
| 4 | 1 | Frontverbinder |
| 5 | 1 | Messerleiste, 64polig DIN 41 612 |
| 6 | 1 | Zylinderschraube M2,5x8 DIN 84 |
| 7 | 1 | Federring B2,5 DIN 127 |
| 8 | 3 | Zylinderschraube M2,5x12 DIN 84 |
| 9 | 5 | Federscheibe A2,7 DIN 137 |
| 10 | 4 | Sechskantmutter M2,5 DIN 439 |
| 11 | 2 | Zylinderschraube M2,5x10 DIN 84 |
| 12 | 2 | Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84 |
| 13 | 2 | Schraubensicherung, Kunststoff |

Verbinden Sie die Anschlußleitungen der Frontplatte nach folgendem Verdrahtungsplan mit der Leiterplatte.



Sichtkontrolle

Führen Sie eine Sichtkontrolle des fertigen Einschubs durch. Dazu sollten Sie den Stromlauf- und Bestückungsplan bereitlegen. Beheben Sie erkannte Fehler und Mängel.

Lötstellen:

Sind auf der mit "L" bezeichneten Seite der Karte (Leiterbahnseite, Lötseite) alle Bauteilanschlüsse sachgemäß angelötet?

Achten Sie bei den Lötstellen besonders auf Kurzschlüsse, die bei der Enge der Leiterbahnen leicht durch das Auftragen einer zu großen Menge von Lötzinn oder durch Lötzinnspritzen und -perlen entstehen können.

Bei galvanisch nicht durchkontaktierten Leiterplatten müssen auch Lötstellen auf der mit "B" bezeichneten Kartenseite (Bauteilseite, Bestückungsseite) überprüft werden. Dort müssen alle Bauteilanschlüsse, an die eine Leiterbahn führt, verlötet sein. Außerdem müssen bei nicht durchkontaktierten Leiterplatten alle im Bestückungsplan mit "x" bezeichneten Bohrungen durch Einsetzen von Drahtstückchen durchkontaktiert sein.

Bestückung:

- Sind alle Widerstände mit ihren Werten richtig eingebaut?
- Sind die Elkos richtig gepolt?
- Sind alle IC's richtig eingesteckt?
- Sind die Dioden richtig gepolt?

Gesamtaufbau:

Kontrollieren Sie auch die Montage der Bauteile in der Frontplatte sowie die Verdrahtung der Frontplatte und die Verbindungen zwischen Frontplatte und Leiterplatte.

In den folgenden Arbeitsschritten wird die Baugruppe "AD/DA-Wandler" in Betrieb genommen und ihre Funktion geprüft.

Dazu benötigen Sie folgende Baugruppen (je 1 Stück, komplett aufgebaut und geprüft):

Baugruppenträger mit Busverdrahtung (BFZ/MFA 0.1)

Bus-Anschluß (BFZ/MFA 0.2)

Trafo-Einschub (BFZ/MFA 1.1)

Spannungsregelung (BFZ/MFA 1.2)

Bus-Signalgeber (BFZ/MFA 5.1)

Bus-Signalanzeige (BFZ/MFA 5.2)

Adapterkarte 64polig (BFZ/MFA 5.3)

Prozessor 8085 (BFZ/MFA 2.1)

8 K RAM (BFZ/MFA 3.1)

8 K EPROM (BFZ/MFA 3.1)

8-Bit-Parallel-Ausgabe (BFZ/MFA 4.1)

Darüber hinaus sollten Sie den Stromlaufplan (Seite 16) und den Bestückungsplan (Seite 21) bereithalten.

Alle zur Inbetriebnahme der Baugruppe vorgegebenen Arbeitsblätter enthalten:

- Angaben über den Sinn der jeweiligen Messung
- Angaben über einzustellende Bedingungen
(z.B. Schalterstellungen)
- Aufgabenstellungen, ggf. mit Hinweisen zu möglichen Fehlern.
Wenn Sie bei der Lösung der Aufgaben Schwierigkeiten haben,
sollten Sie das entsprechende Kapitel der Funktionsbeschreibung
noch einmal durcharbeiten.

Prüfen des Adreßvergleichers

Die zu dieser Prüfung benötigten Adreßsignale und die Steuerungssignale \overline{IOW} und \overline{IOR} liefert der Bus-Signalgeber des MFA-Systems.

Stellen Sie die DIL-Schalter (S0 - S7) auf der Baugruppe so ein, daß an den B-Eingängen des Vergleichers die in der Tabelle angegebenen Pegel vorhanden sind (Schalter auf ON = L-Pegel). Die in der Tabelle angegebenen Adressen sind mit Hilfe des Bus-Signalgebers einzustellen.

Prüfen Sie die entsprechenden Pegelwerte und ergänzen Sie die Tabellen.

a)

| Schalter | S7 | S6 | S5 | S4 | S3 | S2 | S1 | S0 |
|----------------------------------|----|----|----|----|----|----|----|----|
| Soll-Pegel | H | L | H | L | H | L | H | L |
| Adresse (Hex)
Bus-Signalgeber | A | | | | A | | | |

| | | Pegel | | | |
|-------------------------------|-----|-------|-----|------|-----|
| Steuersignal \overline{IOW} | | H | | L | |
| IC | Pin | Soll | Ist | Soll | Ist |
| 4 | 6 | H | | H | |
| 1 | 2 | L | | H | |
| 2 | 11 | H | | L | |

b)

| Schalter | S7 | S6 | S5 | S4 | S3 | S2 | S1 | S0 |
|----------------------------------|----|----|----|----|----|----|----|----|
| Soll-Pegel | L | H | L | H | L | H | L | H |
| Adresse (Hex)
Bus-Signalgeber | 5 | | | | 5 | | | |

| | | Pegel | | | |
|-----------------------------------|-----|-------|-----|------|-----|
| Steuersignal $\overline{I\!O\!R}$ | | H | | L | |
| IC | Pin | Soll | Ist | Soll | Ist |
| 4 | 6 | H | | H | |
| 1 | 4 | L | | H | |
| 2 | 8 | H | | L | |
| 1 | 6 | L | | H | |

Prüfen des DA-Wandlers

Benutzen Sie dazu die Adresse 55H und die entsprechend eingestellten DIL-Schalter (S1,S3,S5,S7 = ON und S0,S2,S4,S6 = OFF). Stellen Sie mit Hilfe des Bus-Signalgebers die Daten 55H und danach die Daten AAH ein. Messen Sie am Analog-OUT-Ausgang (Pin 5) die analoge Ausgangsspannung des Wandlers.

| | | Analogwert | |
|-------------------------|-------|------------|-----|
| $\overline{\text{IOW}}$ | Daten | Soll | Ist |
| L | 55H | ca. 0,8 V | |
| | AAH | ca. 1,7 V | |

Einstellen der analogen Ausgangsspannung am Ausgang der Wandler-Baugruppe

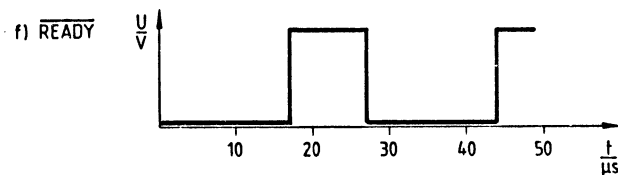
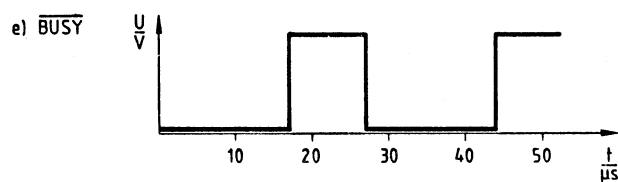
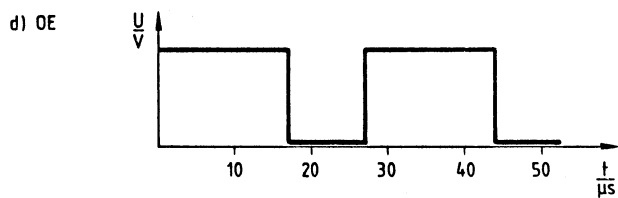
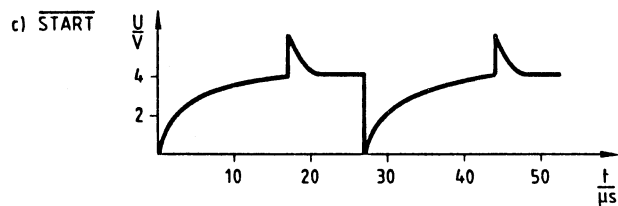
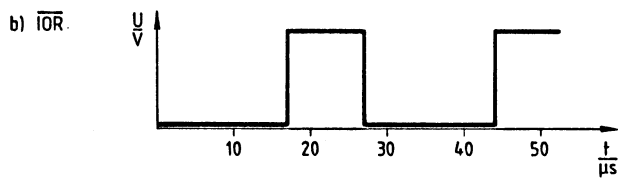
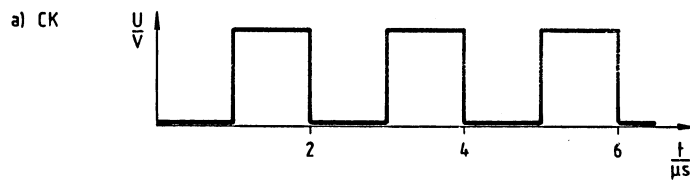
Verändern Sie nun die Daten auf 1CH. Bei gedrückter $\overline{\text{IOW}}$ -Taste müssen Sie mit dem Poti R22 (-FS) die Ausgangsspannung auf -10 V einstellen. Danach wird mit den Daten E4H die Ausgangsspannung auf +10 V eingestellt. Anschließend wiederholen Sie den gesamten Einstellvorgang.

Prüfen der Signale $\overline{\text{CK}}$, $\overline{\text{IOR}}$, $\overline{\text{START}}$, OE, $\overline{\text{BUSY}}$ und READY

Die nun folgende Prüfung kann nur dynamisch vorgenommen werden und läßt sich in Verbindung mit dem MFA-System durchführen. Achten Sie darauf, daß die Port-Adresse der Wandlerkarte noch auf AAH eingestellt ist. Geben Sie nun folgendes Prüfprogramm ein:

```
START : IN    0AA
        JMP   START
```

Das Prüfprogramm bewirkt, daß die Wandler-Baugruppe periodisch durch das Steuersignal $\overline{\text{IOR}}$ aktiviert wird. Starten Sie das Programm und oszilloskopieren Sie die nachfolgend dargestellten Signale.

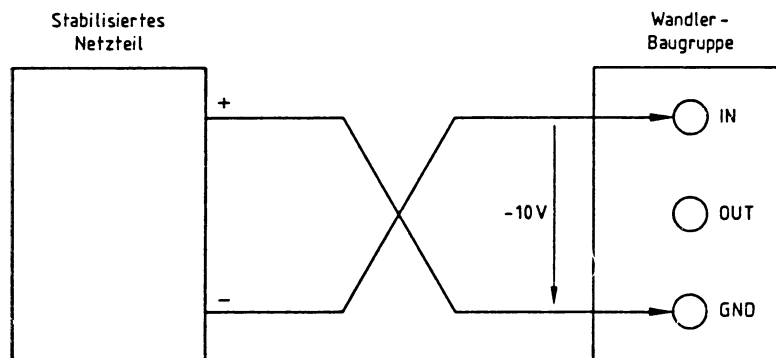


Einstellen der analogen Eingangsschaltung des AD-Wandlers

Im folgenden werden Sie die Eingangsschaltung abgleichen. Dazu müssen Sie ein stabilisiertes Netzteil, das eine Spannung von 10,0 V abgeben kann und eine 8-Bit-Parallel-Ausgabe-Baugruppe bereitstellen.

Achten Sie darauf, daß die Port-Adresse der Wandlerkarte noch auf AAH eingestellt ist. Die Port-Adresse der 8-Bit-Parallel-Ausgabe-Baugruppe stellen Sie bitte auf 00H ein.

Schließen Sie nun die Eingangsspannung nach untenstehendem Bild an.

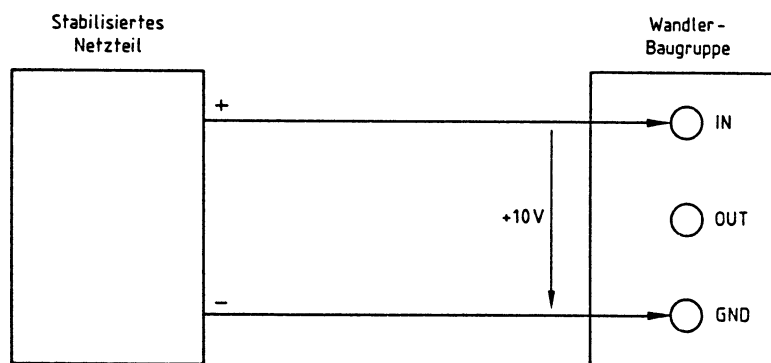


Geben Sie folgendes Prüfprogramm ein:

```
START : IN    0AA
        OUT    00
        JMP    START
```

Das periodische Prüfprogramm bewirkt, daß die analoge Eingangsspannung als entsprechender Digitalwert in den Akkumulator der CPU des MFA-Systems eingelesen wird. Von dort gelangt der Digitalwert auf die 8-Bit-Parallelausgabe. Starten Sie nun das Programm. Einige LED's der 8-Bit-Parallelausgabe werden aufleuchten. Verstellen Sie jetzt das Poti R2 (-FR), so daß der Wert 1C H (die LED's B2 - B4 leuchten) auf der Ausgabe erscheint.

Polen Sie die Eingangsspannung um, gemäß folgender Abbildung:



Verstellen Sie das Poti R3 (+FR), bis die Ausgabe den Wert E4H anzeigt (die LED's B2, B5, B6 und B7 leuchten). Wiederholen Sie den gesamten Einstellvorgang.

Damit ist die Übung beendet.

Zur Beschreibung der Baugruppe AD/DA-Wandler beachten Sie bitte folgende Berichtigungen:

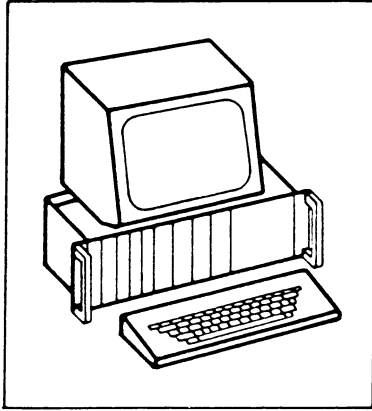
Im Bestückungsplan auf Seite 21: das IC über dem Kondensator C4 ist IC 7.

In der Bauteil-Liste auf Seite 22 ist hinzuzufügen:

IC 7 AD-Wandler ZN 427

IC 8 DA-Wandler ZN 428

FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



Vektor-Interrupt-Karte



Inhalt

| | | |
|-------|--|----|
| 1 | Einsatz der Vektor-Interrupt-Baugruppe..... | 2 |
| 2 | Einleitung..... | 3 |
| 3 | Grundlagen der Interrupt-Technik..... | 3 |
| 3.1 | Abfrage-Technik - polling -..... | 3 |
| 3.2 | Unterbrechungstechnik - interrupt -..... | 5 |
| 3.2.1 | Interrupt-Freigabe und -Sperrung..... | 7 |
| 3.2.2 | Interrupt, Polling..... | 8 |
| 3.2.3 | Vektor-Interrupt..... | 10 |
| 3.2.4 | Interrupt-/ Prioritätskodierung..... | 11 |
| 4 | Interrupt-System CPU 8085..... | 12 |
| | - Interrupt-Anschlüsse..... | 12 |
| | - Interrupt-Adressen..... | 12 |
| | - Interner Interrupt-Controller..... | 13 |
| | - Interrupt-Masken-Register..... | 15 |
| | - Zusammenfassung: Interrupt-Controller/-Masken-Register.... | 17 |
| | - Nutzung der Interrupte im BFZ/MFA-Mikrocomputer..... | 18 |
| 5 | Funktionsbeschreibung "Vektor-Interrupt-Baugruppe"..... | 19 |
| 5.1 | Basisschaltung..... | 19 |
| 5.2 | Prioritätskodierung: daisy-chain..... | 21 |
| 5.3 | Realisierte Schaltung..... | 22 |
| 5.3.1 | Erweiterung der Adreßvektoren..... | 23 |
| 6 | Bus-Aufsteckplatine..... | 25 |
| 7 | Anwendungsbeispiele:..... | 26 |
| 7.1 | - Start-/Stop-Uhr..... | 26 |
| 7.2 | - Drehzahlmessung..... | 28 |
| 8 | Inbetriebnahme..... | 30 |
| 8.1 | Inbetriebnahme Minimalkonfiguration..... | 30 |
| 8.2 | Inbetriebnahme mit dem Betriebsprogramm MAT85..... | 33 |
| 8.2.1 | Inbetriebnahme mit den erweiterten Adreßvektoren..... | 35 |

Anhang

| | | |
|-----|---|----|
| A1 | Stromlaufplan Vektor-Interrupt-Baugruppe..... | 36 |
| A2 | Bestückungsplan..... | 37 |
| A3 | Bauteilliste..... | 38 |
| A4 | Stromlaufplan CPU 8085..... | 39 |
| A5 | Bus-Belegungsplan..... | 40 |
| A6 | Bus-Aufsteckplatine..... | 41 |
| A7 | Interrupt-Adreßtabelle, Interrupt-Masken-Register..... | 42 |
| A8 | Adreßvektoren incl. Erweiterung für den Interrupt: INTR..... | 43 |
| A9 | Nützliche Hinweise zum Betrieb und zur Erweiterung
(2. Baugruppe)..... | 44 |
| A10 | Wichtige Hinweise für die Benutzer der MAT 32 K
Terminal-Version | 45 |

1 Einsatz der Vektor-Interrupt-Baugruppe

Nach Vermittlung der Grundlagen der Mikrocomputer-Technik kann die hier beschriebene *Vektor-Interrupt-Baugruppe* im Rahmen der Interface-Technik für Einstieg in die Interrupt-Technik und für eine Vertiefung benutzt werden. Um den Einstieg für den Lernenden überschaubar zu gestalten, kann man mit einer Minimalkonfiguration arbeiten:

- CPU-Baugruppe
- 8K-RAM-Baugruppe (Adresse: 0000)
- Bus-Signalgeber (zur Programmeingabe und für
- Bus-Sigalanzeige den Einzelschrittbetrieb)

Mittels der aufgeführten Konfiguration können die Grundlagen der Interrupt-Technik anhand kleiner Beispiele / Anwendungen erarbeitet werden. In dieser Einstiegsphase kann beim Einsatz der Vektor-Interrupt-Baugruppe vorerst auf folgende tiefergehende Vorkenntnisse verzichtet werden:

- tiefere Kenntnisse über das Betriebsprogramm
- tiefere Kenntnisse über erweiterte Hardware-Strukturen, die unter Umständen "interrupt-gesteuert" arbeiten (siehe Floppy-Disk)
- Kenntnisse über weitere Interrupt-Eingänge sowie über Priorität, Maskierung und Schachtelung von Interrupt-Eingängen.

Eine Vertiefung der Interrupt-Technik kann danach unter dem Betriebsprogramm MAT85 (inklusive Erweiterung) erfolgen. Hier können dann die weiteren Interrupt-Eingänge RST 5.5, RST 6.5, RST 7.5 und TRAP behandelt werden. In diesem Rahmen eröffnen sich weitere Anwendungsgebiete unter Zuhilfenahme der bereits vorhandenen Baugruppen und Modelle. Einige Beispiele und weitergehende Anregungen sind in der folgenden Beschreibung der Baugruppe zu finden.

2 Einleitung

Beim Einsatz eines Mikrocomputers im Bereich der Steuer-, Meß- und Regelungstechnik ist es notwendig, daß der Mikrocomputer auf externe Ereignisse sofort reagieren muß.

Ein Beispiel hierzu ist der Einsatz in der chemischen Industrie. In einem chemischen Prozeß muß zum Beispiel die Prozeßtemperatur und der Druck geregelt und auf Grenzwerte hin überwacht werden. Der Zeitpunkt, an dem eine bestimmte Temperatur bzw. ein bestimmter Druck erreicht wird, ist unbestimmt. Bedingungen wie Umgebungstemperatur oder Heizleistung beeinflussen den Prozeßablauf, so daß die genannten Zeitpunkte nicht durch ein vorgegebenes Programm erfaßt werden können. Der Prozeß und die vom Programm vorgegebene Arbeitsweise des Mikrocomputers verlaufen nicht synchron - sie sind also asynchron. Wie erreicht man nun, daß der Mikrocomputer prozeßsynchron arbeitet?

Um dem Mikrocomputer eine Möglichkeit zu geben, während seiner Programmabarbeitung auf externe Ereignisse reagieren zu können, besitzen alle Mikroprozessoren *Interrupt-Eingänge* (Unterbrechungseingänge). Bei einem Signal an einem Interrupt-Eingang unterbricht der Mikroprozessor seine momentane, durch das Programm vorgegebene Arbeit und bearbeitet das Programm für den interruptauslösenden Prozeß. Nach dieser prozeßsynchronen Bedienung setzt der Mikroprozessor seine unterbrochene Tätigkeit fort. Wie eine dafür notwendige Interrupt-Logik aufgebaut sein muß und wie der Mikroprozessor seine eigentliche Arbeit geordnet unterbricht und auch wieder aufnimmt, soll im folgenden aufgezeigt und erarbeitet werden. Die Beschreibung der Vektor-Interrupt-Baugruppe erfolgt nach einer grundlegenden Einführung in die Interrupt-Technik.

3 Grundlagen der Interrupt-Technik

3.1 Abfrage-Technik - polling -

Mikrocomputer arbeiten taktgesteuert nach einem vorgegebenen Programm, d.h., der Programmierer legt durch das Programm die Arbeit des Mikroprozessors und die Reihenfolge der Bedienung von externen Geräten fest. Die externen Geräte / Prozesse werden in der vom Programm vorgegebenen Reihenfolge bedient. Ob eine Bedienung erfolgen soll, kann z.B. über ein *Status-Bit* bei programmierbaren IO-Port's, an welche die Geräte angeschlossen sind, ermittelt werden. Diese Vorgehensweise bezeichnet man als

polling : Abfrage-Technik.

Nachteil dieser beschriebenen Abfrage-Technik ist die durch das Programm fest vorgegebene Reihenfolge, wobei unvorhergesehene, wichtige Ereignisse unter Umständen zu spät erkannt und bedient werden. Auch wenn keine kritischen Ereignisse auftreten, so wird der Prozessor die meiste Zeit mit der Abfrage nach Geräte-Bedienung verbringen.

Diese Abfrage-Technik ist rein *programmgesteuert* und daher einfach. Aus diesem Grund lassen sich evtl. Fehler in der Erstellungsphase oder später im Betrieb leichter lokalisieren und beheben.

Beispiel für ein Programm nach dem Polling-Verfahren:

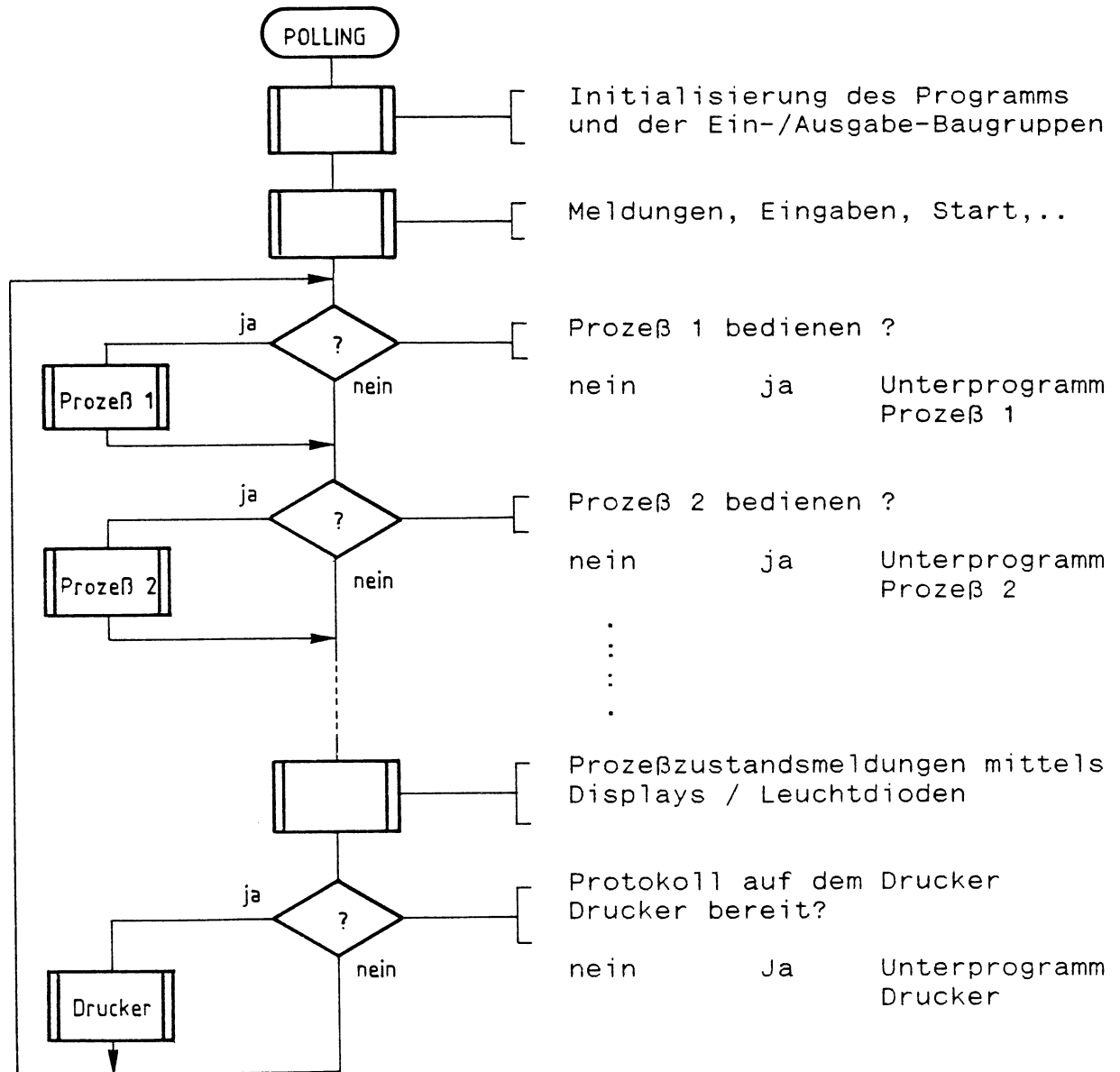


Bild 1 Flußdiagramm "Polling-Methode"

Wie dieses Beispiel zeigt, ist die Struktur des Programms zwar übersichtlich, aber fest vorgegeben. Für fast alle Anwendungen des Mikrocomputers benötigt man variable Strukturen und Reaktionen, die sich den Anforderungen durch die Peripherie anpassen.

3.2 Unterbrechungstechnik - interrupt -

Wie es der Name "Unterbrechungstechnik" schon sagt, wird der Mikroprozessor in seiner programmgesteuerten Arbeit durch ein externes Ereignis unterbrochen. Solche Ereignisse kommen von den an den Mikrocomputer angeschlossenen Geräten (Floppy Disk, Drucker, Maus, Terminal, Lichtgriffel,...) oder von einem anderen Mikrocomputer (Informationsaustausch) bzw. von der Prozeßperipherie (Schalter, Sensoren und Grenzwertmeldern für Wege, Füllstände, Temperatur, Drehzahl, Druck,...). Die Verbindung Mikrocomputer / Peripherie erfolgt über..

- ..parallele Ein-/Ausgabe-Schnittstellen,
- ..serielle Ein-/Ausgabe-Schnittstellen,
- ..Analog-Digital-Wandler,
- ..Digital-Analog-Wandler und
- ..spezielle Schnittstellen (IEC-Bus, Floppy-Bus,...).

Beispiele:

- Ein digitaler Drehzahlgeber sendet einen Impuls, der erfaßt werden muß.
- Bei einer Datenübertragung zwischen zwei Mikrocomputern ist der Eingabe-Puffer der Schnittstelle voll, d.h., das empfangene Zeichen muß gelesen werden.
- Von einer Floppy-Disk-Station kann das nächste Zeichen gelesen werden.
- Zeitsteuerung durch einen Uhr-Impuls.

Um zu wissen, wie die Melde- bzw. die Bedienungslogik in einem Mikrocomputer hard- und softwaremäßig aussehen muß, sind verschiedene Kriterien zur Beurteilung zu beachten:

- Welche *Priorität* (Wichtigkeit) hat ein Ereignis?
(Wird ein Temperatur-Grenzwert gemeldet, so hat diese Meldung sicherlich Vorrang vor einem Datenaustausch mit einem Drucker.)
- Wann tritt ein Ereignis auf?
 - a) zeitlich regelmäßig (z.B.: Uhrimpulse)
 - b) zeitlich unregelmäßig (z.B.: Sollwert-Temperatur erreicht)
- Häufigkeit von Ereignissen
 - a) häufig: Uhrimpulse
 - b) selten: Sollwert-Temperatur erreicht

Aus den genannten Kriterien sieht man schon, wie komplex eine interruptgesteuerte Arbeit durch den Mikrocomputer sein kann. In den folgenden Kapiteln soll jedoch auf eine einfache Art und Weise in dieses Thema eingeführt werden.

Interrupt-Technik

Mikrocomputer haben für die Interrupt-Steuerung mindestens einen Interrupt-Eingang, dieser wird

INTR: interrupt bzw.
IRQ : interrupt request (Interrupt-Anforderung)
genannt.

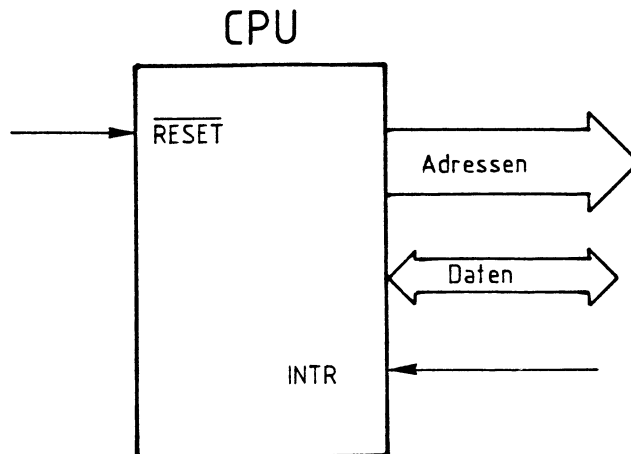


Bild 2 Interrupt-Eingang

Ablauf einer Interrupt-Bearbeitung:

Beim Eintreffen eines Interrupt-Signals läuft folgendes Schema ab:

1. Der von der CPU gerade bearbeitete Befehl wird zu Ende geführt, da die CPU sich nicht merken kann, wie weit sie einen Befehl bereits abgearbeitet hat.
2. Die Adresse des nächsten Befehls wird automatisch im *Stack* (Stapelspeicher, RAM-Bereich für die CPU) gespeichert - wie bei einem Unterprogrammaufruf.
3. Die CPU setzt ihre Arbeit bei dem zur Unterbrechungsanforderung gehörenden Programm (interrupt-service-routine, ISR) fort.
4. Ist das Unterbrechungsprogramm bearbeitet, so holt sich die CPU durch einen RETURN-Befehl (der letzte Befehl in der ISR muß ein RET-Befehl sein) die Rückkehradresse vom Stack und setzt ihre Arbeit in dem unterbrochenen Programm fort.

Der hier beschriebene Ablauf zur Bedienung eines Interrupts gleicht dem eines Unterprogrammaufrufs (CALL-Befehl). Bei der Interrupt-Bedienung handelt es sich um einen *asynchron hardware-gesteuerten* Unterprogrammaufruf. In der Interrupt-Service-Routine müssen die im Programm verwendeten Parameter (Werte, Registerinhalte) gerettet und vor der Rückkehr in das unterbrochene Programm wieder zurückgespeichert werden.

3.2.1 Interrupt-Freigabe und Sperrung

Interrupt-Eingänge verbessern die Anpassung an interne und externe Gegebenheiten - erschweren aber die Erstellungs- und Testphase eines interruptgesteuerten MC-Systems. Weiterhin ist manchmal in wichtigen Befehlssequenzen eine Unterbrechung nicht erwünscht, wenn es sich z.B. um zeitkritische Befehlssequenzen handelt.

Beispiel: Ein Drehzahlzähler muß ausgelesen werden, sonst erfolgt ein Überlauf. Die folgende Befehlssequenz muß ohne Unterbrechung ablaufen.

```
IN CNT1LO      ;Zähler 1 LOW-Byte lesen
STA DREZLO     ;abspeichern
IN CNT1HI      ;Zähler 1 HIGH-Byte lesen
STA DREZHI     ;abspeichern
```

Aus den genannten Gründen lassen sich Interrupt-Anforderungen durch einen Programm-Befehl sperren.

Eine Sperrung der Interrupt-Annahme erfolgt durch:

DI : disable interrupt (Interrupt verhindern).

Dieser Zustand "gesperrter Interrupt" ist nach dem Einschalten des MC-Systems automatisch eingestellt und ermöglicht eine unterbrechungsfreie *Initialisierung* (Grundeinstellung von Speicher und IO-Ports) des MC-Systems. Jedes RESET-Signal erzeugt auch den Interruptzustand "gesperrt".

Damit anstehende Interrupt-Signale angenommen und bearbeitet werden, muß vom Programm her der Befehl:

EI : enable interrupt (Interrupt ermöglichen)

gegeben werden.

Kommt nun bei freigegebenem Interrupt ein Interrupt-Signal, so wird in der CPU automatisch der Zustand "DI" eingenommen. Erst durch eine ausdrückliche Freigabe über den Befehl "EI" kann ein weiterer Interrupt erkannt und bearbeitet werden. Diese Freigabe kann -wenn notwendig- direkt am Anfang einer Interrupt-Service-Routine vorgenommen werden. Üblich ist eine Freigabe vor dem letzten Befehl "RET" in der ISR. Der RET-Befehl wird dann noch von der CPU ausgeführt und erst danach erfolgt die Interrupt-Freigabe.

Merke:

- Interrupte sind nach dem Einschalten des MC-Systems gesperrt.
- Jedes RESET-Signal sperrt die Interrupt-Annahme.
- Eine Interrupt-Annahme wird erst durch den Befehl "EI" ermöglicht.
- Jede Interrupt-Annahme sperrt eine weitere Annahme; sie muß durch den Befehl "EI" wieder freigegeben werden.
- Es ist jederzeit möglich, durch den Befehl "DI" eine Interrupt-Freigabe wieder zu sperren.

3.2.2 Interrupt, Polling

Es stellt sich nun die Frage: "Wieviele Interrupt-Eingänge benötigt eine CPU oder kann man an einen Interrupt-Eingang mehrere Interrupt-Signale anschließen?" Zu dieser Frage bieten die Mikroprozessor-Hersteller mehrere Lösungen an bzw. der Hard-/Software-Entwickler muß diesbezüglich Hardware-Erweiterungen vornehmen.

Hardware-Erweiterung

Eine einfache Erweiterung eines Interrupt-Eingangs an der CPU läßt sich mit Hilfe eines ODER-Gatters vornehmen (siehe Bild 3).

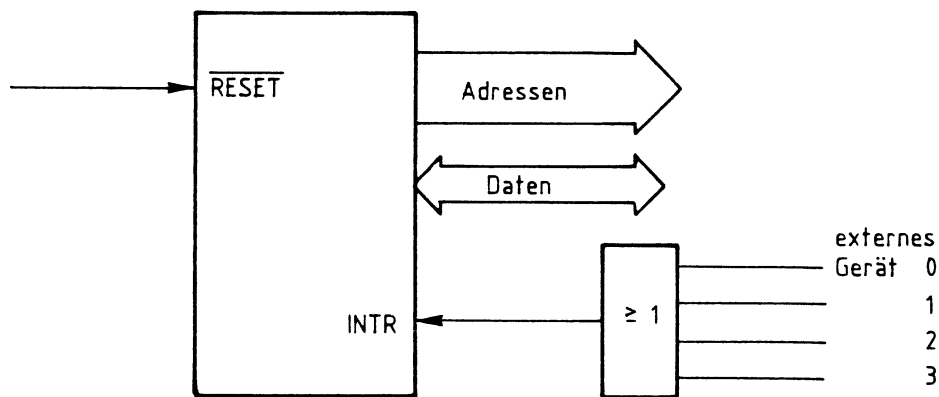


Bild 3 Erweiterung eines INTR-Eingangs

Die Auffächerung des Interrupt-Eingangs an der CPU mittels eines ODER-Gatters erlaubt nun, von mehreren Geräten Interrupt-Signale anzuschließen. Wie aber kann unterschieden werden, durch welches Gerät ein Interrupt ausgelöst wurde? In der Interface-Technik ergeben sich immer drei grundsätzliche Lösungen:

- die Hardware-Lösung (z.B. interrupt)
- die Software-Lösung (z.B. polling)
- eine Mischung von Hard-/Software-Lösung (z.B. interrupt/polling)

Software-Lösung: Polling

Im Fall eines eintreffenden Interrupts setzt die CPU ihre Arbeit an einer zu dem Interrupt-Eingang gehörenden Programm-Adresse fort. Diese Adresse ist vom Hersteller der CPU festgelegt. Ab dieser Adresse kann der Anwender ein kurzes Identifikationsprogramm schreiben, das alle angeschlossenen Geräte abfragt und überprüft, welches der Geräte einen Interrupt ausgelöst hat. Dazu besitzen die programmierbaren Schnittstellen-Bausteine, über welche die Peripheriegeräte angeschlossen sind, ein *Statusregister* (Zustandsregister). In diesem Statusregister wird ein Bit (z.B. Bit 7) bei einer Interruptanforderung gesetzt.

Zu der Hardware-Lösung "Gerätebedienung durch Interrupt" kommt nun eine Software-Lösung "Suchen des interruptauslösenden Gerätes durch polling".

Interrupt-Technik

Dazu ein Beispiel:

```

PROGRAMM
:          (2) IDENT:  IN GER1      ;Status von Gerät 1 lesen
EI          ANI 80      ;Interrupt-Bit gesetzt?
:          JNZ ISR1     ;ja, Interrupt bedienen
:          ;(1) Inter-   IN GER4     ;nein, weiter suchen
:          ;rupt trifft ANI 80
:          ;ein         JNZ ISR4
:          IN GER2
:          ANI 80
:          JNZ ISR2     ;(3) ja, Gerät 3 hat den
:                      ;Interrupt ausgelöst
:                      :
:                      usw.

ISR1:      :            ;Bedienung von Gerät 1
:          :
:          EI          ;Interrupt wieder zulassen
:          RET         ;zurück
(3) ISR2:  :            ;Bedienung von Gerät 2
:          :
:          EI
:          RET
ISR3:      :            ;Bedienung von Gerät 3
:          :
:          EI
:          RET
:          :
:          usw.

```

Ablauf: Trifft in dem normalen "Programm" ein Interrupt ein (1), so führt die CPU den gerade bearbeiteten Befehl zu Ende und speichert die Rückkehradresse des nächsten auszuführenden Befehls im Stack. Danach arbeitet die CPU an der Interrupt-Adresse weiter, wo die Identifikationsroutine steht (2). Bei dem Gerät, das einen Interrupt ausgelöst hat, erfolgt eine Verzweigung zu der entsprechenden Interrupt-Service-Routine (ISR..) (3). Am Ende der ISR wird der Interrupt wieder freigegeben. Durch den Befehl "RET" wird die CPU veranlaßt, die Rückkehradresse vom Stack zu lesen (4) und an der unterbrochenen Stelle (5) weiter zu arbeiten.

Durch die Reihenfolge der Abfrage der Schnittstellen-Statusregister kann der Programmierer eine bestimmte *Priorität* in der Reihenfolge der Bedienung festlegen (siehe Beispiel: Gerät 1, Gerät 4, Gerät 2). Eine Gerätebedienung wie zum Beispiel "Drehzahlimpuls" kommt in der Identifikationsroutine als eine der ersten Abfragen. Das Gerät, dessen Status zuerst abgefragt wird, hat die höchste Priorität. Nachteilig bei diesem Verfahren ist das Suchen nach dem anfordernden Gerät. Dadurch entstehen unterschiedlich lange Reaktionszeiten bei der Bedienung eines Interrupts.

3.2.3 Vektor-Interrupt

Hardware-Lösung

Eine Möglichkeit, das Suchverfahren bei der Interrupt / Polling-Methode zu umgehen, bietet der "Vektor-Interrupt". Bei dieser Methode sind einem Interrupt-Eingang mehrere Interrupt-Adressen im Speicher zugeordnet. Zusätzlich zu dem Interrupt-Eingang "INTR" steht ein Quittungsausgang "INTA" (interrupt acknowledge, Interrupt bestätigen bzw. angenommen) zur Verfügung (siehe Bild 4).

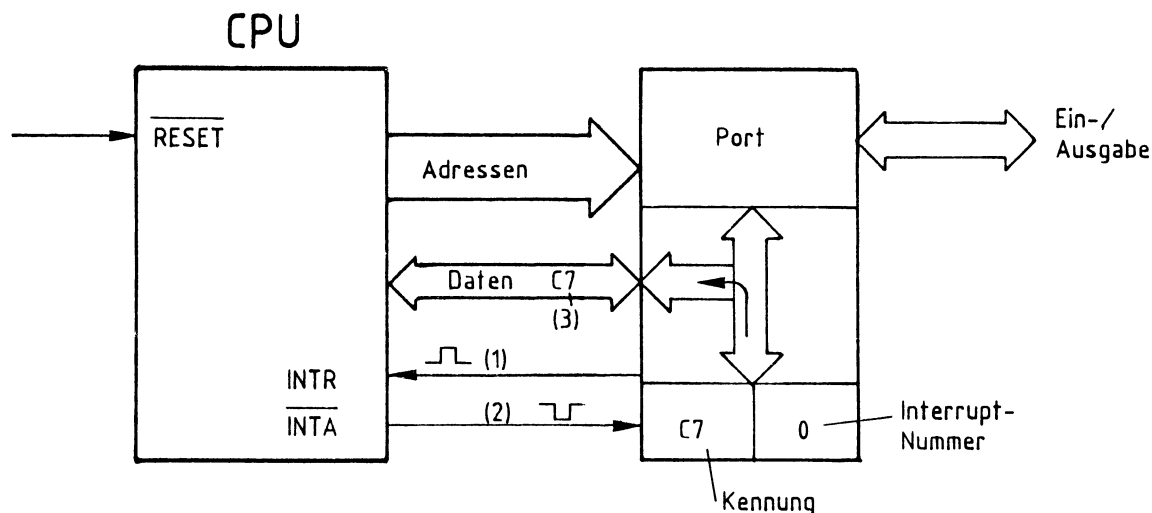


Bild 4 Vektor-Interrupt-Erzeugung

Ablauf: Nach der Annahme des Interrupts (1) durch die CPU sendet diese ein Quittungssignal INTA "Interrupt angenommen" (2). Mit diesem Signal kann das anfordernde Peripheriegerät veranlaßt werden, eine *Geräte-Kennung* auf den Datenbus zu senden (3). Die CPU liest diese Kennung und kann direkt zu der entsprechenden Interrupt-Service-Routine verzweigen.

Bei der Vektor-Interrupt-Methode gibt sich das anfordernde Gerät durch eine "Kennung" - hervorgerufen durch das Lesesignal INTA der CPU - selbst zu erkennen.

Intel als Hersteller der 8080/85-CPU und auch die Firma Zilog als Hersteller der Z80-CPU bieten die Möglichkeit, maximal 8 Adreßvektoren zu bilden. Diese Adreßvektoren (Zieladressen) sind in der folgenden Tabelle dargestellt.

| Kennung (durch INTA gelesen) | | Zieladresse |
|------------------------------|---------|-------------|
| - binär - | - hex - | - hex - |
| 1 1 0 0 0 1 1 1 | C7 | 0 0 0 0 |
| 1 1 0 0 1 1 1 1 | CF | 0 0 0 8 |
| 1 1 0 1 0 1 1 1 | D7 | 0 0 1 0 |
| 1 1 0 1 1 1 1 1 | DF | 0 0 1 8 |
| 1 1 1 0 0 1 1 1 | E7 | 0 0 2 0 |
| 1 1 1 0 1 1 1 1 | EF | 0 0 2 8 |
| 1 1 1 1 0 1 1 1 | F7 | 0 0 3 0 |
| 1 1 1 1 1 1 1 1 | FF | 0 0 3 8 |

3.2.4 Interrupt-/Prioritätskodierung

Für eine funktionierende Hardware zur Interruptsteuerung benötigt man eine Schaltung, die die Kennung und die - wie bei der Software-Lösung - eine Priorität bei mehreren Interrupten erzeugt. Das folgende Bild zeigt die dazu notwendige Schaltung.

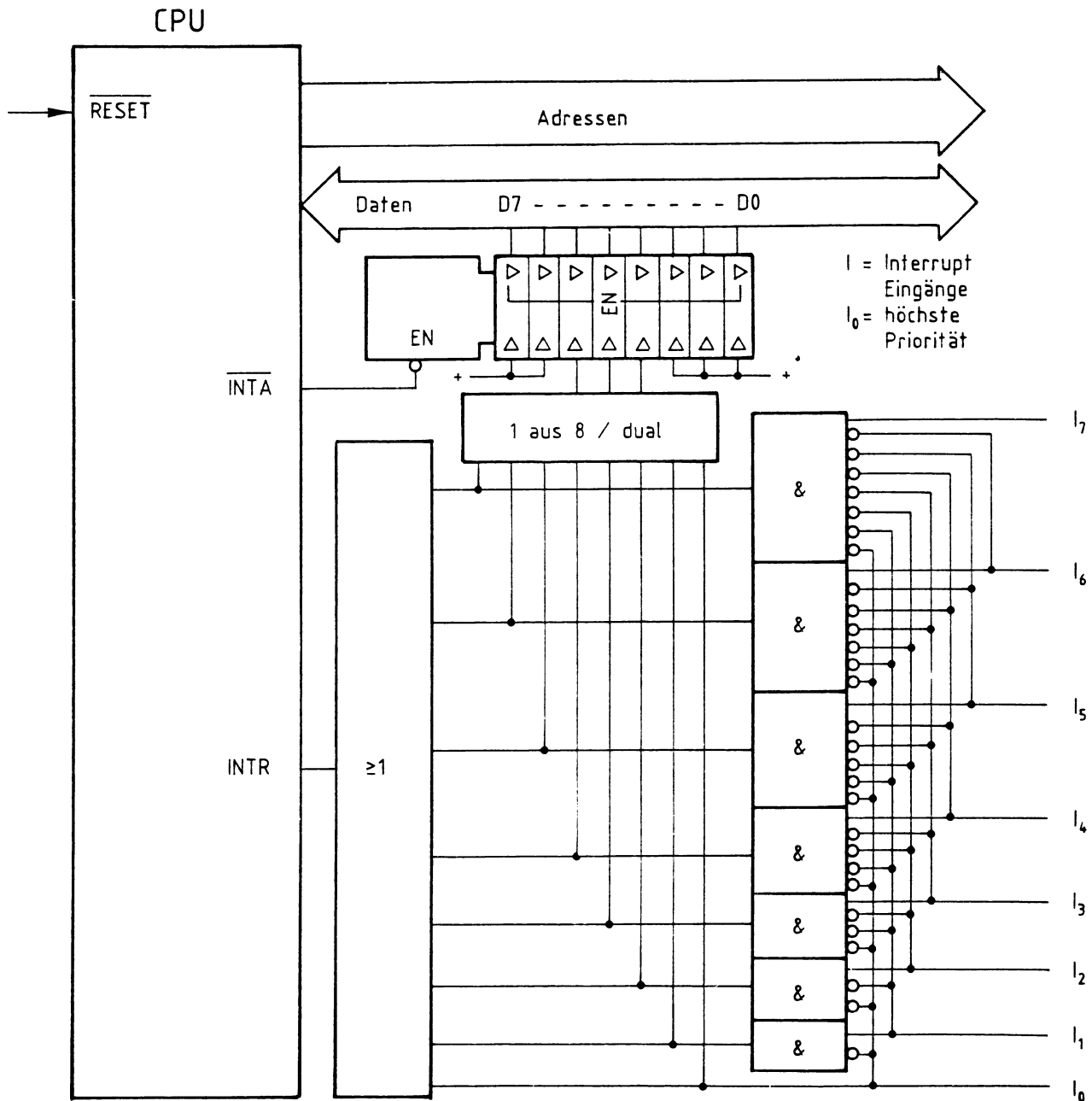


Bild 5 Vektor-Interrupt und Prioritätskodierung

Die von den externen Geräten kommenden Interruptsignale gelangen über eine Prioritätskodierung (UND-Gatter) zum einen über das ODER-Gatter an den Interrupteingang, zum anderen wird aus ihnen über den 1 aus 8 in dual Prioritätskodierer ein Teil der Kennung gebildet (Datenleitungen D3, D4, D5). Die restlichen Datenleitungen bei der Kennung (D0, D1, D2 und D6, D7) führen laut vorhergehender Tabelle 1-Signal. Durch den Tristate-Treiber gelangt die Kennung beim Lesen durch die CPU mit dem INTA-Signal auf den Datenbus. Je nach eintreffendem Interrupt verzweigt die CPU zu der entsprechenden Zieladresse und der dazugehörigen Interrupt-Service-Routine.

4 Interruptsystem CPU 8085

- Interrupt-Anschlüsse

Die CPU 8085 von INTEL bietet ohne Hardwareerweiterung ein gut ausgebautes Interruptsystem. Sie hat mehrere Interrupteingänge und die in den vorhergehenden Kapiteln besprochene Interrupt-/Prioritätskodierung (interrupt controller, Unterbrechungsteuerung).

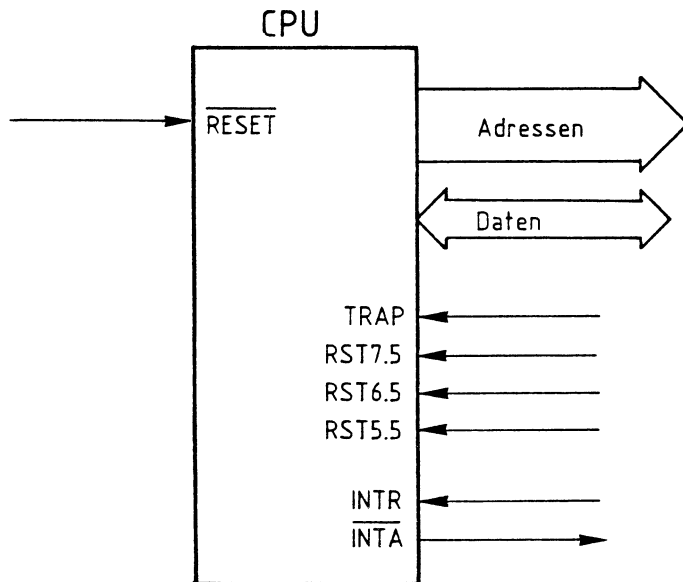


Bild 6 Interrupt-Anschlüsse CPU 8085

Außer dem Interrupteingang INTR hat die CPU 8085 noch die Interrupteingänge..

- TRAP (Falle, nicht maskierbarer Interrupt)
- RST 7.5 (restart 7.5, Neustart)
- RST 6.5 (" 6.5)
- RST 5.5 (" 5.5)

- Interrupt-Adressen

Die zu den Interrupteingängen gehörenden Zieladressen sind in der folgenden Tabelle zusammengestellt.

| Interrupt-Anschluß | Zieladresse |
|--------------------|--|
| TRAP (RST 4.5) | 0 0 2 4 |
| RST 7.5 | 0 0 3 C |
| RST 6.5 | 0 0 3 4 |
| RST 5.5 | 0 0 2 C |
| INTR | hängt von der gelesenen Kennung
ab (siehe Tabelle Seite 10) |

Hinweis: Die Zieladresse läßt sich über die Interrupt-Nr. berechnen.

Beispiel: RST 4.5 ----> ADR = 4.5 * 8 = 36/10 = 24/16

- Interner Interrupt-Controller

Von dem internen Interrupt-Controller der CPU 8085 ist in dem folgenden Bild 7 ein vereinfachtes Prinzipschaltbild dargestellt.

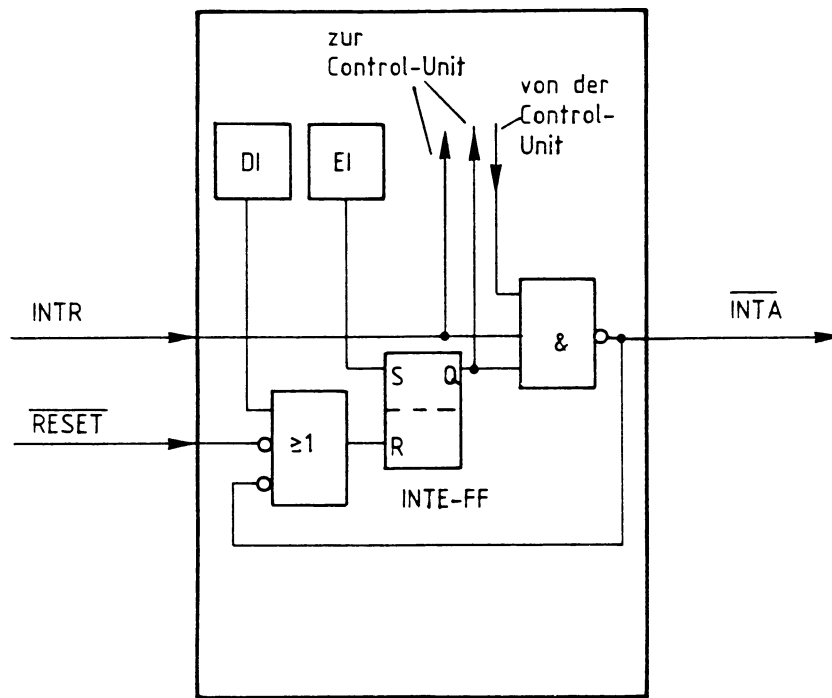


Bild 7 Vereinfachte Interrupt-Steuerung CPU 8085

Wie aus der Prinzipschaltung zu ersehen ist, kann ein eintreffender Interrupt (H-Pegel an INTR) von der CPU nur dann erkannt werden, wenn das Interrupt-Enable-Flipflop (INTE-FF) gesetzt ist. Das Setzen des Flipflops erfolgt über den Maschinen-Befehl "EI" (enable interrupt, FB/16, siehe Befehlsliste). Wird der Interrupt angenommen, so wird von der *Control-Unit* (CU, Steuereinheit in der CPU) das Lesesignal INTA (interrupt acknowledge, Interrupt angenommen, L-Pegel) zum Lesen des Interrupt-Vektors ausgegeben. Das INTE-FF wird über das RESET-Signal oder einen angenommenen Interrupt oder durch den Befehl "DI" (disable interrupt, F3/16, siehe Befehlsliste) zurückgesetzt. Dadurch ist eine Interrupt-Annahme gesperrt.

Interrupt-Technik

In dem folgenden Prinzipbild ist die gesamte Interrupt-Steuerung der CPU 8085 zu sehen.

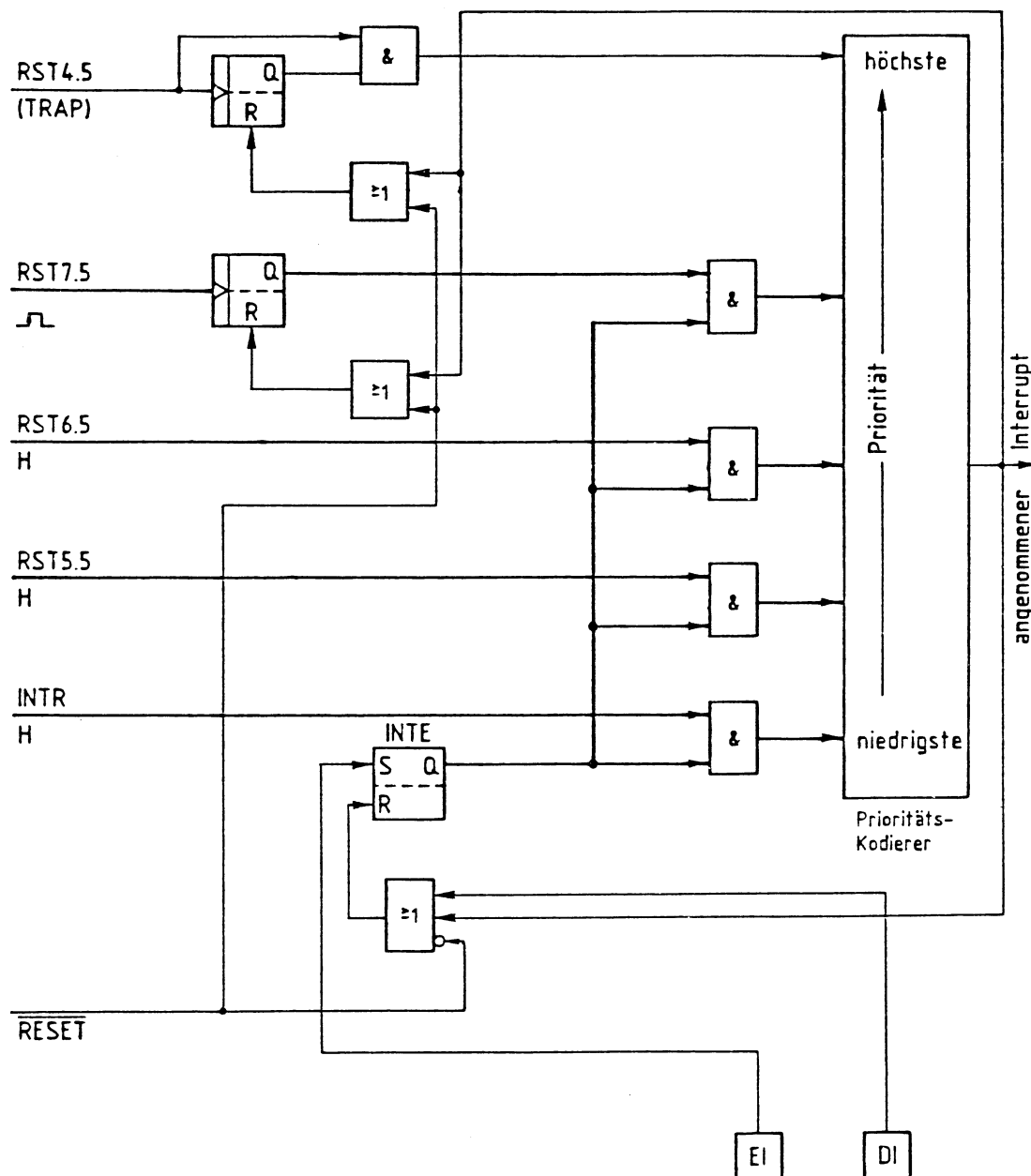


Bild 8 Erweiterte Interrupt-Steuerung CPU 8085

Die höchste Priorität hat der Interrupt-Eingang TRAP (RST 4.5) und die niedrigste der Interrupt-Eingang INTR - diese Aussage gilt bei gleichzeitigem Anstehen mehrerer Interrupt-Anforderungen. Wie in dem Bild zu sehen ist, sind die Interrupt-Eingänge TRAP und RST 7.5 flankengesteuert - gleichzeitig werden Interrupt-Signale - bis auf TRAP- in den Flipflops gespeichert.

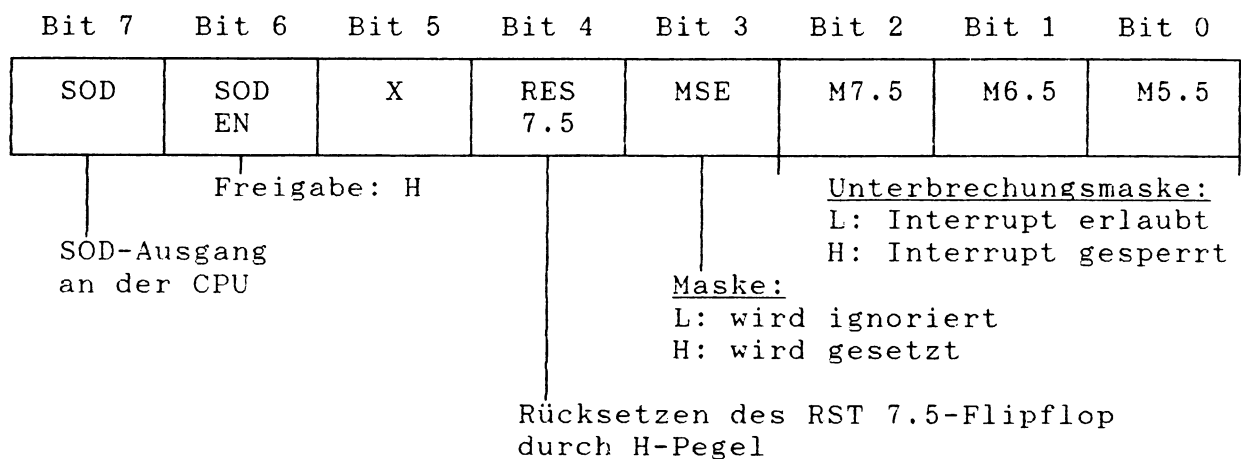
Die restlichen Interrupt-Eingänge sind H-Pegel-gesteuert ohne Eingangssignal-Speicherung, d.h., Anforderungen müssen bis zur Annahme anstehen. Alle Interrupt-Eingänge bis auf den TRAP lassen sich über das INTE-Flipflop sperren.

Interrupt-Technik

- Interrupt-Masken-Register

Bei der Anzahl von Interrupt-Eingängen der CPU 8085 muß es außer der generellen Freigabe über den EI-Befehl eine weitere Möglichkeit geben, die Interrupt-Anforderungen individuell zu sperren und freizugeben. Diese Forderung ergibt sich einmal von den verschiedenen Aufgabenstellungen her, zum anderen ist dies bei der Test- bzw. Inbetriebnahmephase notwendig. Bei der CPU 8085 ist eine solche individuelle Behandlung der Interrupt-Eingänge über das Interrupt-Masken-Register (I-Register) möglich. Das Setzen einer Interrupt-Maske erfolgt durch den Maschinen-Befehl SIM (30/16, set interrupt mask, Interrupt Maske setzen).

Bedeutung der Bit beim Schreiben in das I-Register:



Anmerkungen:

Die Interrupt-Maske muß vor dem SIM-Befehl im Akkumulator stehen und wird durch ihn in das I-Register kopiert.

Beispiel:

```

:
MVI A,1B      ; Maske:0 0 0 1 1 0 1 1/2
               ; rücksetzen RST 7.5-FF, Maske
               ; freigeben, RST 7.5 freigeben
SIM           ; Maske setzen
:
  
```

SOD: seriell output data (serieller Datenausgang, Anschluß 4 an der CPU)

Das Bit 6 (SOD EN, SOD enable, seriellen Ausgang freigeben) und das Bit 3 (MSE, mask set enable, Maske setzen freigeben) werden aufgrund der zwei Funktionen des SIM-Befehls benötigt:

Interrupt-Maske setzen: SOD-EN: L und MSE: H
 Bit seriell ausgeben: SOD-EN: H und MSE: L

Interrupt-Technik

Außer der Möglichkeit, eine Maske mit dem SIM-Befehl zu setzen, ist es möglich, den aktuellen Zustand des Interrupt-Systems mit dem Maschinen-Befehl RIM (20/16, read interrupt mask, Interrupt Maske lesen) zu lesen. Nach dem RIM-Befehl steht das Zustands-Bitmuster im Akku.

ACHTUNG: Die oberen 4 Bit (Bit 4 bis Bit 7) haben beim Lesen des I-Registers eine andere Bedeutung als beim Schreiben!

Bedeutung der Bit beim Lesen des I-Registers:

| Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------------------------------------|-------|-------|-------|---|-------|-------|-------|
| SID | I7.5 | I6.5 | I5.5 | IE | M7.5 | M6.5 | M5.5 |
| Flags für anstehende Unterbrechungen | | | | <u>aktuelle Unterbrechungsmaske:</u> | | | |
| Pegel am Eingang
SID der CPU | | | | L: Interrupt erlaubt
H: Interrupt gesperrt | | | |
| | | | | <u>Unterbrechungs-Freigabe-Bit:</u> | | | |
| | | | | H: Maske ist freigegeben | | | |

Anmerkungen:

SID: seriell input data (serieller Dateneingang, Anschluß 5 an der CPU).

Durch Bit 4 bis Bit 6 kann ermittelt werden, ob Interrupt-Signale an den Anschlüssen RST 5.5, RST 6.5 und RST 7.5 anstehen. Dies ist auch bei zeitweise gesperrtem Interruptsystem möglich.

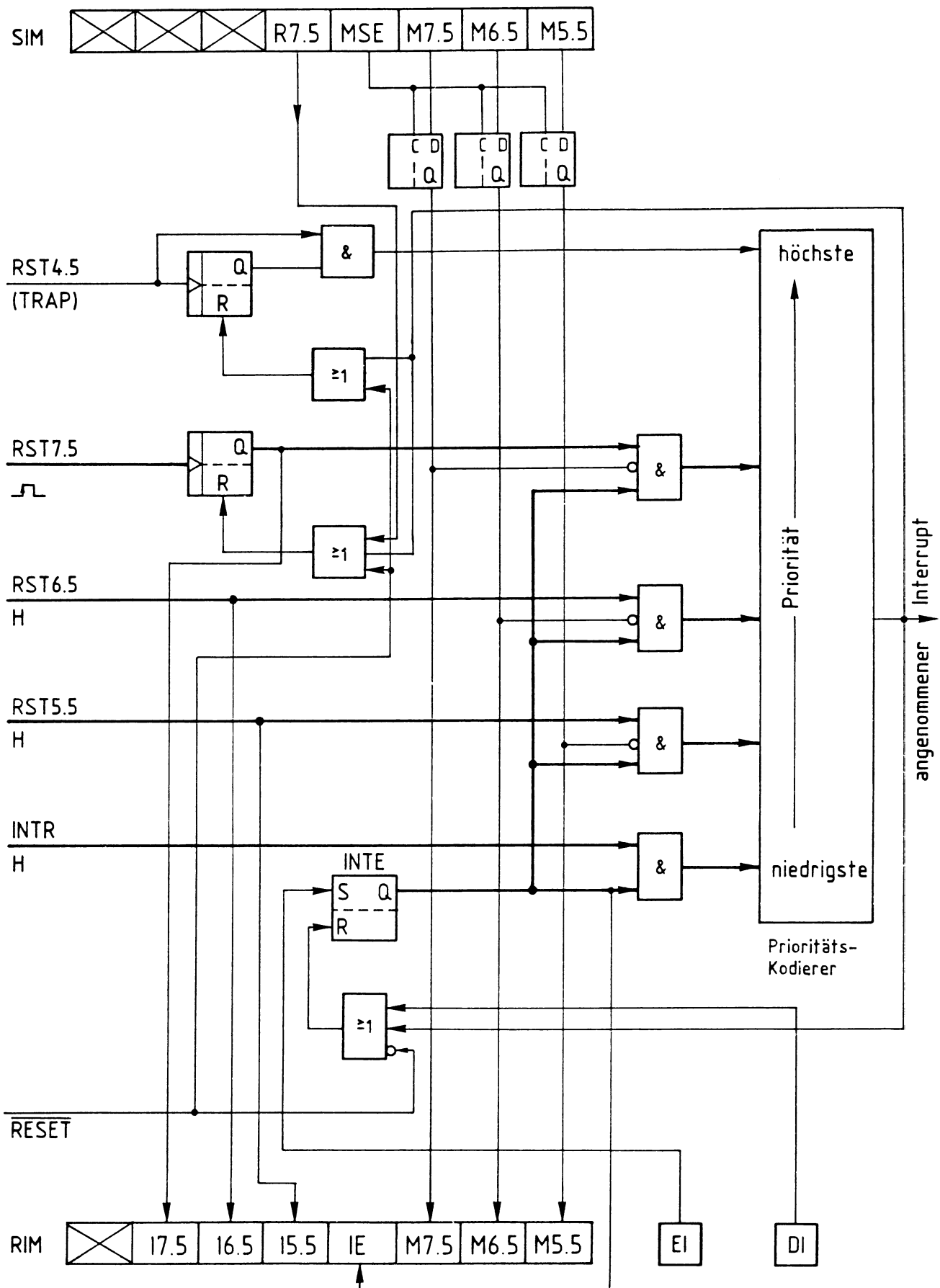


Bild 9 Zusammenfassung : Interrupt-Controller/-Masken-Register

Interrupt-Technik

- Nutzung der Interrupte im BFZ/MFA-Mikrocomputer

Ein Teil des Interrupt-Systems wird von dem Betriebsprogramm MAT85 bzw. von der Erweiterung SP1 und MINI-DOS genutzt. Welche Interrupte es sind und wie sie genutzt werden, zeigt die folgende Tabelle.

| INTERRUPT-Eingang | | Zieladresse | Nutzung durch das Betriebsprogramm |
|-------------------|---------|-------------|--|
| TRAP (RST 4.5) | | 0 0 2 4 | MAT85, *MONITOR RESTART*, initialisiert den oberen RAM-Bereich neu |
| RST 7.5 | | 0 0 3 C | Verzweigung in den RAM-Bereich: FC9E ¹ , Nutzung vom SPS-Interpreter (timer) |
| RST 6.5 | | 0 0 3 4 | Verzweigung nach FC9B (wird von SPS und BASIC zum Programmabbruch über die Tastatur genutzt) |
| RST 5.5 | | 0 0 2 C | Verzweigung nach FC95 (wird vom MINI-DOS genutzt, Floppy Disk) |
| INTR: | Kennung | | |
| 0 | C7 | 0 0 0 0 | MAT85, *RESET* |
| 1 | CF | 0 0 0 8 | MAT85, *USER*, Benutzer-Einsprung |
| 2 | D7 | 0 0 1 0 | + frei, Verzweigung in den RAM-Bereich nach FC8C ¹ |
| 3 | DF | 0 0 1 8 | + frei, Verzweigung in den RAM-Bereich nach FC8F ¹ |
| 4 | E7 | 0 0 2 0 | MAT85, *BREAKPOINT* |
| 5 | EF | 0 0 2 8 | + frei, Verzweigung in den RAM-Bereich nach FC92 ¹ |
| 6 | F7 | 0 0 3 0 | + frei, Verzweigung in den RAM-Bereich nach FC98 ¹ |
| 7 | FF | 0 0 3 8 | MAT85, *PROGRAM ABORT* |

1) im RAM sind inklusive der angegebenen Adresse 3 Byte frei für einen Sprung in die Anwender-ISR

+ frei für den Anwender

- Ausblick: Von den CPU-Herstellern werden externe Interrupt-Controller angeboten, die eine Erweiterung des Interruptsystems erlauben. Ein Beispiel sei hier der Interrupt-Controller von INTEL, der sehr weit verbreitet ist. Hinweise hierzu bei der Inbetriebnahme der Baugruppe.

Funktionsbeschreibung

5 Vektor-Interrupt-Baugruppe

5.1 Basisschaltung

Die in dem Kapitel 3.2.2 beschriebene Hardware-Erweiterung (ODER-Gatter) für den INTR-Eingang erfordert

1. ein ODER-Gatter auf der CPU-Baugruppe und
2. acht Bus-Leitungen als Interrupt-Leitungen.

In der realisierten Schaltung wird die ODER-Verknüpfung durch eine "wired-or-Verknüpfung" (verdrahtetes ODER) erreicht. Die Ausgänge der einzelnen Interrupt-Quellen sind in "open-collector-Technik" ausgeführt; der notwendige "pull-up-Widerstand" befindet sich auf der Bus-Aufsteckplatine, ebenso der notwendige Inverter als Schmitt-Trigger. Die verdrahteten ODER-Ausgänge liefern ein aktives Low-Signal. Da der Interrupt-Eingang INTR der 8085-CPU aber High-aktiv ist, wird ein Inverter benötigt. Die Aufsteckplatine muß deshalb bei Betrieb der Vektor-Interrupt-Baugruppe auf dem Bus aufgesteckt sein. Eine Busleitung INTR \bar{O} (24c) wird für das verdrahtete ODER benötigt, die zweite Busleitung (25c) ist die INTR-Leitung zur CPU-Baugruppe. Da der INTR-Eingang keine Flankensteuerung mit Signalspeicherung besitzt, benötigen wir ein Flipflop als Interrupt-Signalspeicher - erinnern wir uns: Ein Interrupt kann gesperrt sein und muß solange anstehen, bis er angenommen wird. Dieses wird durch das Flipflop erreicht, das bei der Bedienung des Interrupts mit dem INTA-Signal (Interrupt-Annahme, Vektor lesen) gelöscht wird.

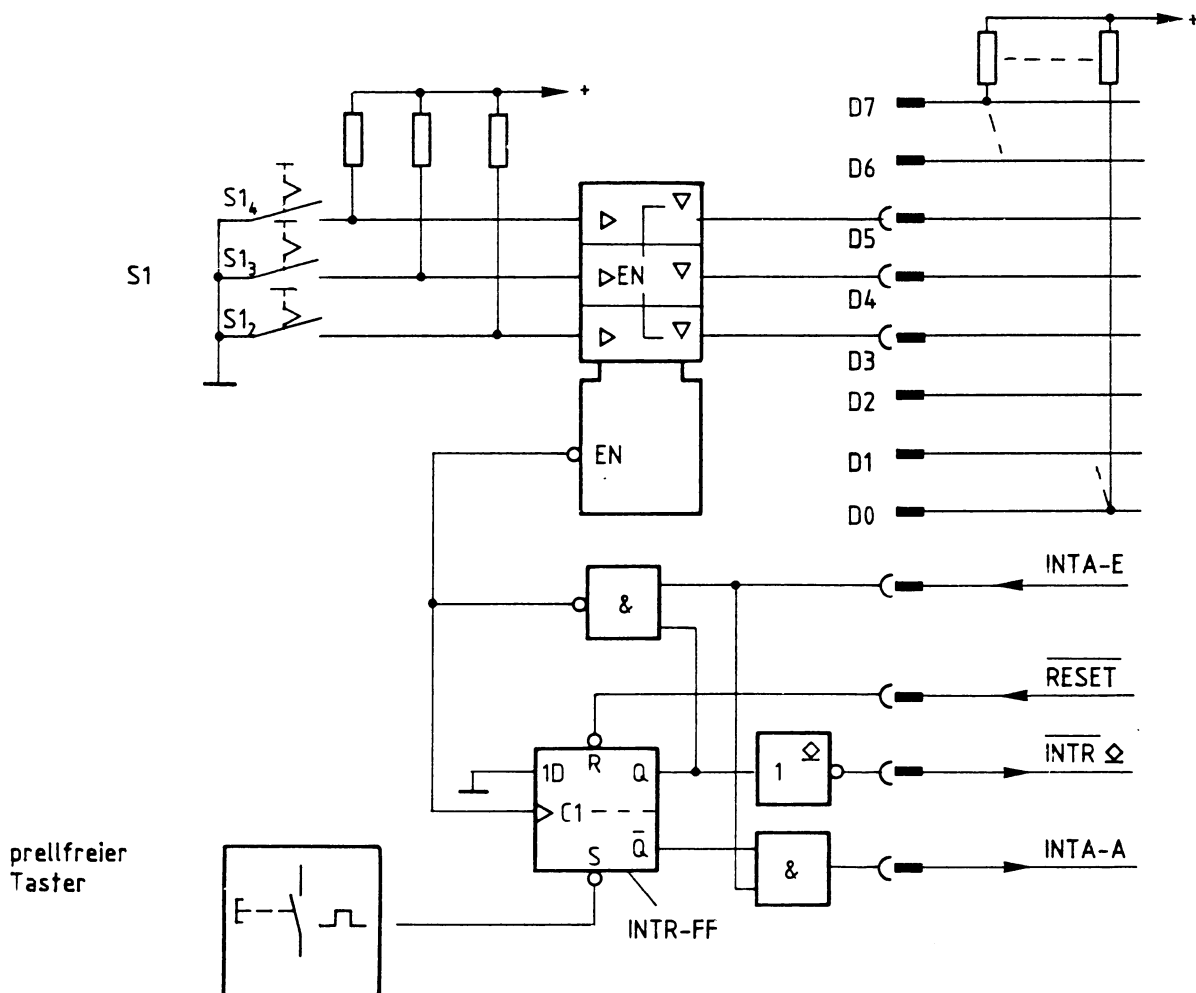


Bild 10 Basisschaltung Vektor-Interrupt

Funktionsbeschreibung

Die notwendige Kennung wird über 3 DIL-Schalter eingestellt, hieraus ergeben sich $2^3 = 8$ Adress-Vektoren. Über ein *tristate-Gatter* werden die drei Leitungen auf den Datenbus geschaltet, die Freigabe der Kennung erfolgt mit dem INTA-Lesesignal (siehe auch CPU-Baugruppe, Fachpraktische Übungen Band 1, Kap. 2.1).

Die restlichen Datenbus-Signale (D1¹, D2, D6 und D7) werden nicht von der Vektor-Interrupt-Baugruppe angesteuert; sie führen ohne Ansteuerung über die *pull-up-Widerstände*, die sich auf dem Busabschluß befinden, H-Pegel.

Ein Interrupt kann..

1. ..durch einen prellfreien Taster (TEST-/Handauslösung)
2. ..oder durch ein externes Signal ausgelöst werden.

In der folgenden Tabelle sind in Abhängigkeit von den DIL-Schalterstellungen die Kennungen und die entsprechenden Zieladressen aufgelistet.

| Stellung der DIL-Schalter | | | Kennung | Zieladresse (Adreßvektor) |
|---------------------------|-----------|------------|----------|---------------------------|
| SX3
(D5) | SX2
D4 | SX1
D3) | Datenbus | |
| on | on | on | C7 | 0 0 0 0 |
| on | on | off | CF | 0 0 0 8 |
| on | off | on | D7 | 0 0 1 0 |
| on | off | off | DF | 0 0 1 8 |
| off | on | on | E7 | 0 0 2 0 |
| off | on | off | EF | 0 0 2 8 |
| off | off | on | F7 | 0 0 3 0 |
| off | off | off | FF | 0 0 3 8 |

¹ Die Leitung D1 wird bei der "Erweiterung der Adreßvektoren" Kapitel 5.3.1 gebraucht, d.h., sie wird aktiv angesteuert !

Funktionsbeschreibung

5.2 Prioritätskodierung: daisy chain

Bei der Prioritätskodierung "daisy chain" (Gänseblümchen-Kette) handelt es sich, wie der Name grob beschreibt, um eine Kette, besser gesagt, um eine Prioritäten-Kette. Die einzelnen Vektor-Kodierung-schaltungen (kurz: V-K-Schaltung) sind wie die Glieder einer Kette miteinander verbunden, wobei die erste Schaltung die höchste, die letzte in der Kette die niedrigste Priorität hat (siehe Bild 11).

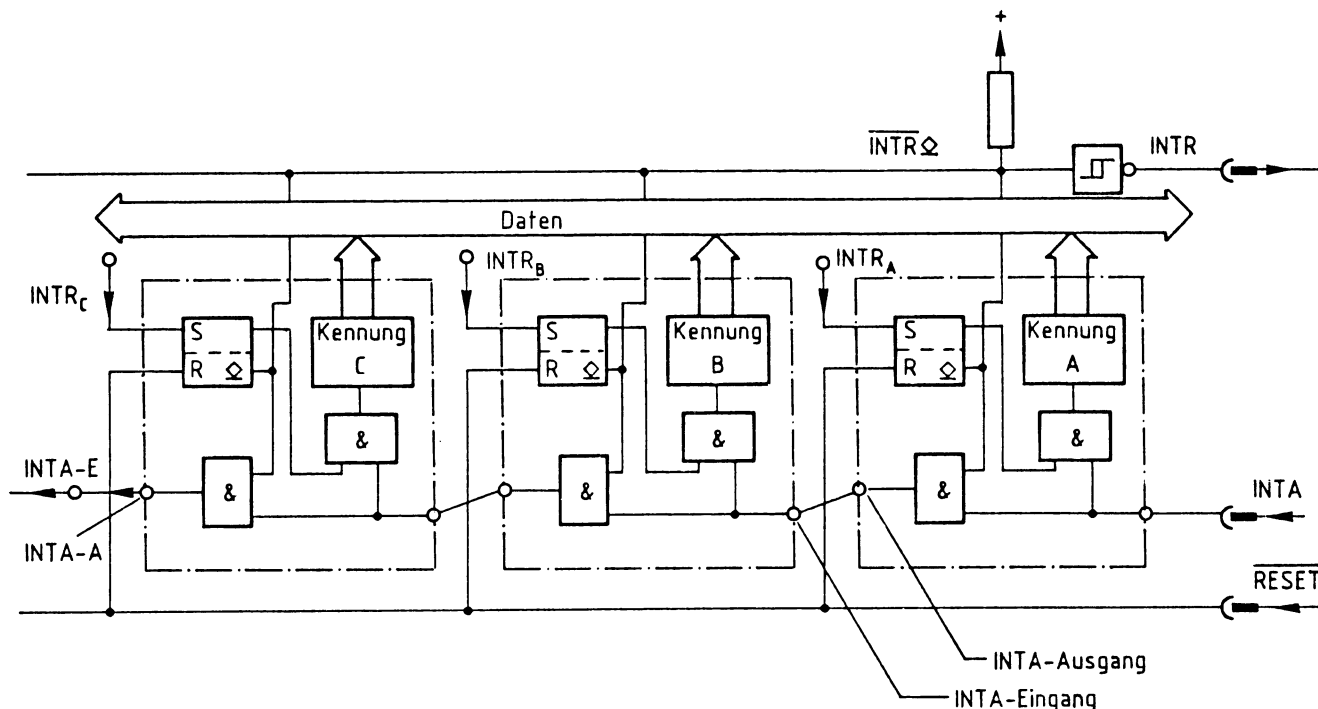


Bild 11 Prioritätskodierung "daisy-chain"

Beschreibung:

Liegt an der ersten Vektor-Kodierungsschaltung kein Interrupt vor, so ist das Interrupt-Flipflop nicht gesetzt und das INTA-Lesesignal gelangt an die in der Kette folgende V-K-Schaltung. Liegt ein Interrupt an (Bsp.: V-K-Schaltung 2), so ist das I-FF gesetzt und die Weitergabe des INTA-Lesesignals über das UND-Gatter gesperrt. Kommt nun bei der Interrupt-Annahme das INTA-Lesesignal von der CPU, so gelangt es bis zu dem ersten gesetzten I-FF in der Kette. Die CPU kann aufgrund des gesetzten I-FF die Kennung dieser Vektor-Kodierungsschaltung (V-K-Schaltung 2) lesen.

Das gezeigte daisy-chain-Verfahren eignet sich besonders gut für MC-Systeme in Einschubtechnik, wo die Interrupte von den verschiedenen Baugruppen kommen, ausgelöst von den angeschlossenen Peripheriegeräten. Auf dem Systembus werden bei diesem Verfahren nur 2 Busleitungen benötigt,

eine Leitung für den Sammelinterrupt und
eine Leitung für die Prioritätenkette.

Die Schnittstellen-Bausteine der Firma Zilog beinhalten das daisy-chain-Verfahren, so daß es sehr einfach ist, ein Vektor-Interrupt-System aufzubauen; sei es auf einer Baugruppe oder in einem Einschubsystem.

5.3 Realisierte Schaltung

Die vollständige Schaltung in Bild 12 hat gegenüber der Schaltung in Bild 10 folgende Ergänzungen:

- Prioritätskodierung: "daisy-chain", Kapitel 5.2
- Monoflop für ein zeitlich begrenztes Setzsignal, so daß bei sofortiger Annahme das Interrupt-Flipflop gelöscht werden kann; auch wenn das Anforderungssignal länger ansteht. Die Monoflop-eingänge erlauben eine positive/negative Flankensteuerung.
- Eine Erweiterung des Adressvektors durch die Leitung Datenleitung D1.

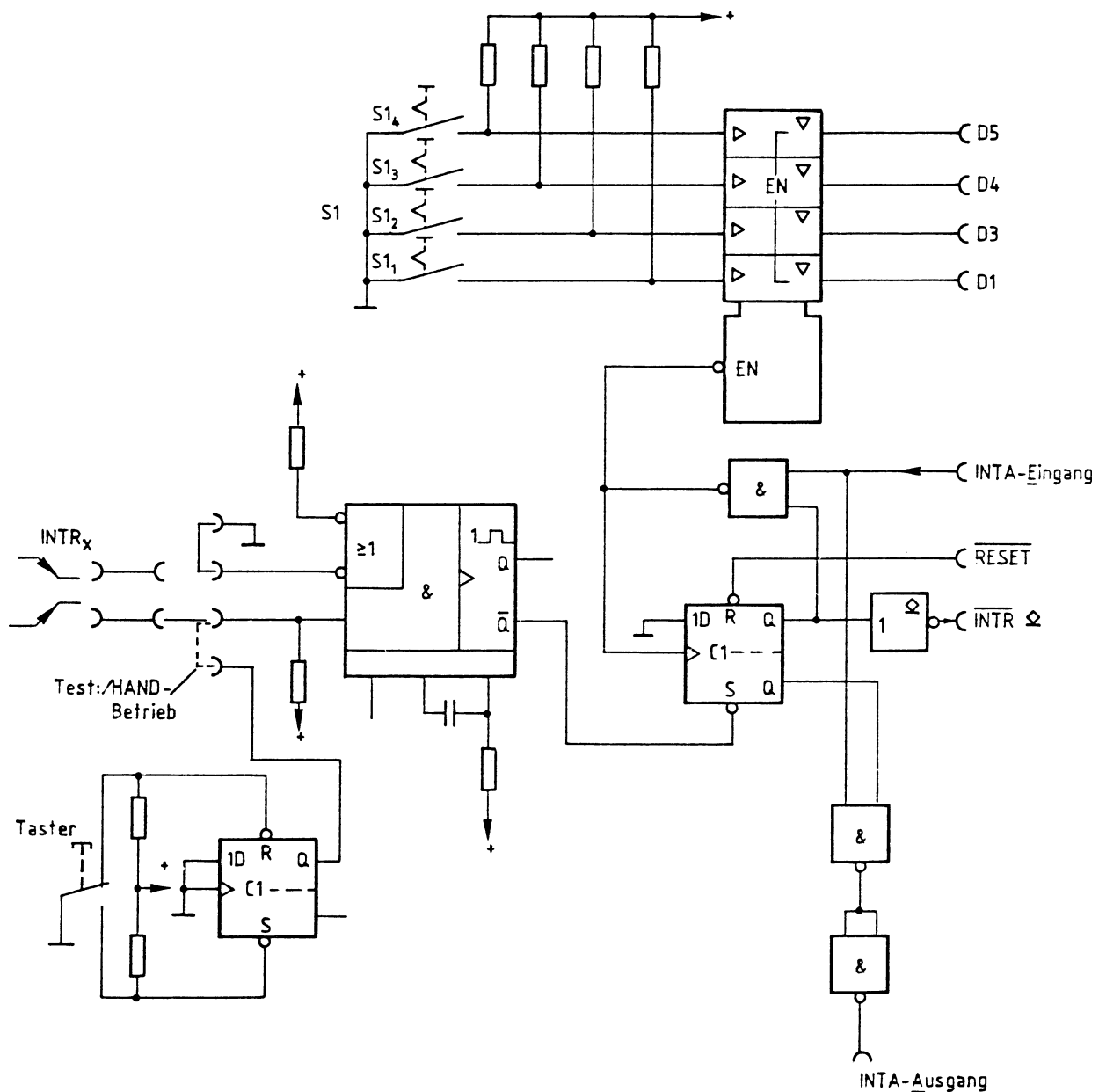


Bild 12 Schaltbild für eine Vektor-Interrupt-Kodierung und Prioritätskodierung

Funktionsbeschreibung

Die Ergänzungen in der realisierten Schaltung "Vektor-Interrupt-Baugruppe" erweitern die Einsatzmöglichkeiten der Baugruppe. Durch die Erweiterung des Adreßvektors mittels der Datenleitung D1 (Punkt c) ergibt sich die Möglichkeit einer anschaulichen Einführung in den komplexeren Interrupt-Controller 8259, der in den Personal-Computern und in der Industrie häufig eingesetzt wird.

5.3.1 Erweiterung der Adreßvektoren

Die CPU 8085 kann, außer den 8 schon beschriebenen Interrupt-Kennungen, eine weitere Kennung lesen und dekodieren. Diese zusätzliche Kennung in Verbindung mit dem externen Interrupt-Controller 8259 ermöglicht eine Erweiterung der bisher kennengelernten Interrupt-Vektoren. Vom CPU-Hersteller wurde dazu eine flexible Interrupt-Kennung genommen:

$$CD/16 = 1\ 1\ 0\ 0\ 1\ 1\ 0\ 1/2$$

Diese Kennung ist der Maschinen-Befehl: **CALL ADR** (ein Unterprogramm-Aufruf mit der Adresse: ADR).

Hierdurch ist es möglich, den gesamten von der CPU adressierbaren Speicherbereich über einen von einem externen Interrupt-Controller gelieferten Adreßvektor als Interrupt-Adresse zu benutzen.

Um nun die Kennung CD/16 kodieren zu können, benötigen wir auf der Vektor-Interrupt-Baugruppe einen weiteren Schalter zur Einstellung dieser Kennung. Betrachten wir die Kennung CD/16 als Dualcode, so ist zu sehen, daß die Datenleitung "D1" auf Low-Potential gelegt werden muß.

| | | | | | | | | |
|-----------------|----|----|----|----|----|----|----|----|
| Datenleitungen: | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Pegel: | H | H | L | L | H | H | L | H |

Ablauf einer Interrupt-Anforderung mit der Kennung CD/16 :

Stellen wir der CPU nach einer Interrupt-Anforderung über einen vierpoligen DIL-Schalter die Kennung CD/16 zur Verfügung, so erzeugt die CPU nach dem Einlesen dieser Kennung mittels INTA-Signal zwei weitere INTA-Lesezyklen. Mit dem ersten INTA-Lesezyklus liest die CPU das Low-Byte und mit dem zweiten INTA-Lesezyklus das High-Byte des zur Kennung benötigten Adreßvektors. Danach schreibt die CPU wie bei einem CALL-Befehl die Rückkehradresse in den vom Stack-Pointer adressierten Stapelspeicher und verzweigt zu dem gelesenen Adreßvektor. Im Gegensatz zu den bisher kennengelernten Kennungen, die einen bestimmten Adreßvektor in der CPU erzeugten, ist dieser Adreßvektor einstellbar.

Der Interrupt-Controller 8259 liefert den notwendigen Adreßvektor automatisch - er läßt sich durch Steuerwörter programmieren.

Bei der Vektor-Interrupt-Baugruppe läßt sich ebenfalls ein Adreßvektor über eine dazu geeignete Hardwarelösung einstellen. Dazu müssen drei Vektor-Interrupt-Schaltungen durch eine "daisy-chain"-Kette miteinander verbunden werden und über die drei parallel zu schaltenden Eingänge angesteuert werden.

Funktionsbeschreibung

Das folgende Bild 13 zeigt die notwendige "daisy-chain"-Kette, bestehend aus drei Grundschaltungen. Aus diesen drei Grundschaltungen besteht die Vektor-Interrupt-Baugruppe - siehe Anhang.

Die Interrupt-Eingänge $INTR_A$ bis $INTR_C$ sind miteinander verbunden, so daß ein Interruptsignal alle drei Interrupt-Anforderungs-Flipflops (INTR-FF) setzt. An der ersten Schaltung, auf die das INTA-Lesesignal von der CPU geht, muß die Kennung **CD** eingestellt werden. Die zweite und die dritte Schaltung liefern der CPU den Adreßvektor.

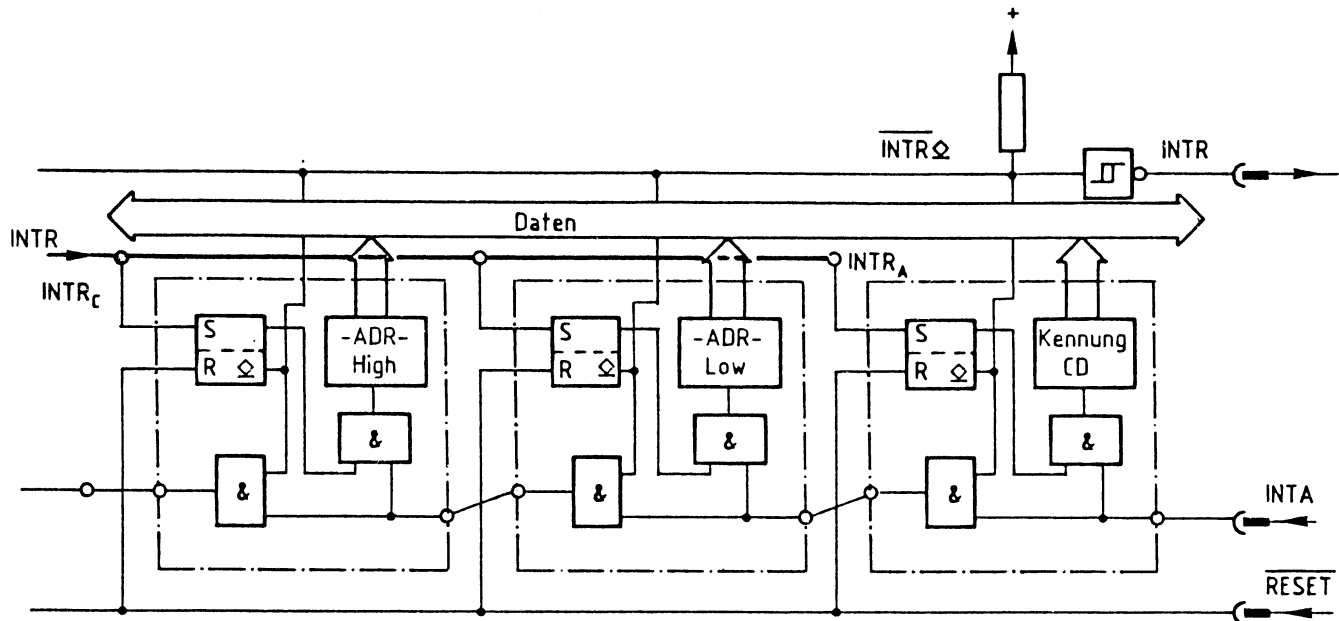


Bild 13 Erweiterung der Interrupt-Vektoren über die Kennung **CD**

Ablauf-Beschreibung beim Eintreffen einer Interrupt-Anforderung:

1. Das Eintreffen einer Interrupt-Anforderung setzt alle drei INTR-FF.
2. Nach der Annahme des Interrupt sendet die CPU das INTA-Lese-Signal und liest in der Prioritätenkette die erste Kennung **CD (CALL)**. Hierdurch wird das INTR-FF_A der Schaltung A gelöscht.
3. Mit dem zweiten INTA-Signal liest die CPU die an der zweiten Schaltung eingestellte Kennung - in diesem Fall das Low-Byte des benötigten Adreßvektors (INTR-FF_B wird gelöscht).
4. Durch das dritte INTA-Signal wird von der CPU die an der dritten Schaltung eingestellte Kennung gelesen - das High-Byte des benötigten Adreßvektors (INTR-FF_C wird gelöscht).
5. Die CPU speichert die Rückkehradresse auf dem Stack und setzt ihre Arbeit an der gelesenen Adresse fort. Die zur Interrupt-Anforderung gehörende Interrupt-Service Routine wird ausgeführt.

Aufgabe: Erstellen Sie sich eine Funktionstabelle mit den möglichen Adreßvektoren, die sich mit den 4 DIL-Schaltern auf der Vektor-Interrupt-Baugruppe einstellen lassen - die Kombination **CD** (Kennung) ist kein Adreßvektor.

Funktionsbeschreibung

6 Bus-Aufsteckplatine (Schmitt-Trigger)

Diese Bus-Aufsteckplatine muß bei der Verwendung der Vektor-Interrupt-Baugruppe auf der Rückwand der Busplatine aufgesteckt sein; ebenso die Bus-Abschlußplatine.

Auf der Bus-Aufsteckplatine befinden sich..

- .. der pull-up-Widerstand mit nachfolgendem Inverter für die INTR-Leitung (Vektor-Interrupt),
- .. eine Impulsformerstufe für die 100 Hz-Impulse vom Netzteil (liefert Impulse bei jedem Nulldurchgang der Netzspannung, siehe auch Fachtheoretische Übungen Kap. 7.2, S.146 - die beiden dort angegebenen CMOS-NAND-Gatter mit Schmitt-Trigger Eingang befinden sich auf dieser Aufsteckplatine und dürfen dann nicht mehr in der Baugruppe "Spannungsregelung" nachgerüstet sein) und
- .. ein Steckbrückensockel, über den die geformten 100 Hz-Impulse den verschiedenen Interrupt-Eingängen zugeführt werden können. Hier ist ein freier Steckbrückenplatz, der die Impulse auf eine freie Busleitung (30a) führt, dort stehen sie über die Adapterkarte für andere Anwendungen zur Verfügung.

ACHTUNG: Bei Änderung der Steckbrücke von dem freien Platz auf einen Interrupt-Eingang ist immer darauf zu achten, daß dieser Interrupt-Eingang noch nicht anderweitig genutzt wird !

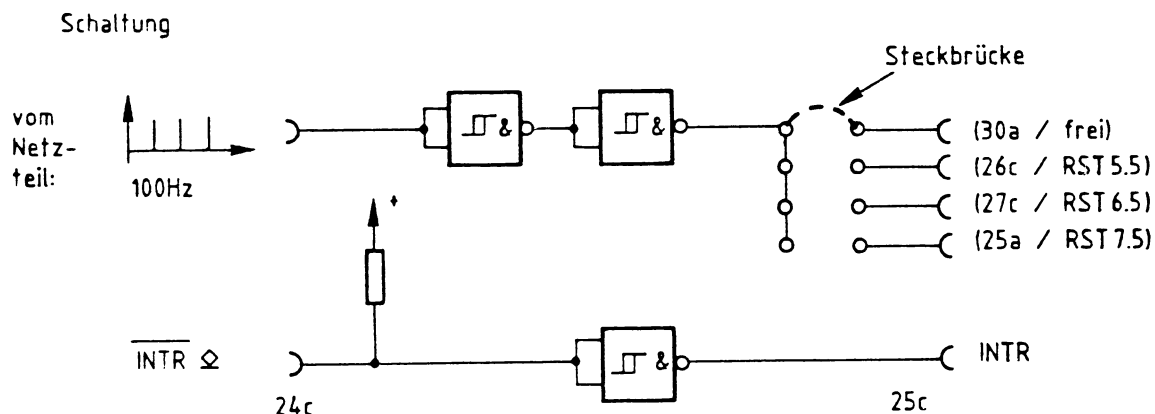


Bild 14 Schaltbild Bus-Aufsteckplatine

Anwendungsbeispiele

7.1 Anwendungsbeispiel 1: START-/STOP-UHR

Die beiden folgenden Anwendungsbeispiele sind einfach aufgebaut, so daß der Lernende sich mit dem Thema "Interrupt-Technik" vertraut machen kann. Erweiterungen sollten erfolgen, viel Spaß !

Hinweis: Vor der Durchführung dieses Anwendungsbeispiels sollte die Inbetriebnahme durchgeführt worden sein. Benutzen Sie bitte bei auftretenden Problemen den Inbetriebnahme-Teil.

```
;Assembler-Programm-Beispiel:
; *****
; * Interruptgesteuerte UHR (0 bis 59 sec) *
; *****
;mit START-/STOP-Funktion über eine Paralleleingabe (Bit 0)
;Ansteuerung des INTR-Eingangs mit Hilfe der Vektor-Inter-
;rupt-Baugruppe:
;Kennung: D7 (RST 2), Schalterstellungen:  S14 S13 S12 S11
;                                           on  off on  off
;Diese Kennung wird von MAT 85 bzw. vom Software-Paket SP1
;nicht genutzt !
;
;Autor: E. Matl, 4/90, Berufsförderungszentrum Essen
;
IS2ADR EQU 0FC8C      ;Sprungtabelle im RAM
PEING  EQU 06         ;ADR Paralleleingabe, START/STOP
PAUSG  EQU 07         ;ADR Parallelausgabe, Sekundenanzeige
IMASKE EQU 1F         ;0001 1111, Maske für die nicht benö-
;                       tigten Interrupteingänge
; ** Initialisierung **
;
MVI A,0C3             ;Sprung zur ISR2-Routine:
STA IS2ADR             ;
LXI H,SECISR          ; *SEKUNDEN-UHR*
SHLD IS2ADR+1         ;vorbelegen
MVI A,IMASKE          ;alle Interrupte bis auf
SIM                   ;INTR sperren
;
; ** Hauptprogramm **
;
NEU:  LXI H,UHR        ;UHR: löschen
      XRA A            ;1/100 Sekunden
      MOV M,A          ;auf Null
      INX H            ;Sekunden
      MOV M,A          ;auf Null
START: IN PEING         ;START/STOP - Bit:
      RAR              ;Bit 0 = 1 ?
      JNC START        ;nein, warten auf START
      EI               ;ja, START
ANZEIG:LXI H,UHR+1     ;ADR Sekunden laden
      MOV A,M          ;Sekunden holen
      OUT PAUSG        ;und anzeigen
STOP:  IN PEING        ;warten auf
      RAR              ;STOP
      JC ANZEIG        ;nein --> ANZEIG: Uhr läuft
      DI               ;ja, Interrupt sperren
      JMP NEU          ;neuer Start: Uhr steht
```

Fortsetzung auf Seite 27

Anwendungsbeispiele

Fortsetzung von Seite 26

```

; ** Interrupt-Service-Routine:
; ** SEKUNDEN-UHR **
;
SECISR: PUSH H           ;die im Hauptprogramm verwendeten
      PUSH PSW          ;Registerinhalte retten
HSEC:  LXI H,UHR         ;ADR 1/100 Sekunden laden
      MOV A,M           ;1/100 Sekunden holen
      CPI 63             ;HSEC = 63/16 = 59/10 ?
      JZ HSEC0           ;ja --> HSEC0
      INR M              ;<HSEC> := <HSEC> + 1
      JMP REGRET         ;Ende
HSEC0: MVI M,0           ;1/100 Sekunden auf Null
      INX H              ;ADR Sekunden laden
SEC:   MOV A,M           ;Sekunden holen
      CPI 59             ;SEC = 59/10 ?
      JZ SEC0            ;ja --> SEC0
      ADI 1              ;Sekunden dezimal
      DAA                ;zählen
      MOV M,A            ;und speichern
      JMP REGRET         ;Ende
SEC0:  MVI M,0           ;Sekunden auf Null
REGRET: POP PSW          ;Registerinhalte return
      POP H
      EI                 ;Interrupt wieder freigeben
      RET                ;zurück zum unterbrochenen Programm
UHR:   DB 0,0            ;Speicher: HSEC, SEC

```

Vor der Programmeingabe müssen die Hardware-Voraussetzungen, die für eine ordnungsgemäße Funktion des Programms notwendig sind, erfüllt sein. Gehen Sie anhand der folgenden Stichpunkte vor:

- Haben die Ein-/Ausgabe-Baugruppen die richtigen Adressen?
- Werden die Interrupte 5.5, 6.5 und 7.5 anderweitig genutzt? Sie haben eine höhere Priorität. Die Maske in diesem Programm kann z.B. vom Betriebsprogramm wieder undefiniert werden.
- Ist die richtige Kennung auf der Interrupt-Vektor-Baugruppe eingestellt? Sind die Kennungen nicht doppelt?
- Falls ein externer Generator für die 100 Hz-Impulse verwendet wird: "Hat er die richtige Frequenz, den richtigen Pegel (TTL)?"
- Bei Verwendung des 100Hz-Impulses vom Netzteil: Ist die Brücke an der Bus-Aufsteckplatine an der richtigen Stelle? Der 100Hz-Impuls muß auf der Busleitung 30a zu messen sein.
- Ist die 100Hz-Impulsquelle an dem richtigen Interrupteingang: A,B,C und stimmt dieser mit der Kennung überein?

Anwendungsbeispiele

7.2 Anwendungsbeispiel 2: Drehzahlmessung

Hinweis: Vor der Durchführung dieses Anwendungsbeispiels sollte die Inbetriebnahme durchgeführt worden sein. Benutzen Sie bitte bei auftretenden Problemen den Inbetriebnahme-Teil.

```
;Assembler-Programm-Beispiel:
; *****
; *   Drehzahlmessung (0 bis 99 Umdr./sec)   *
; * Anzeige: BCD-Code an der Parallelausgabe *
; *****
;Ansteuerung des INTR-Eingangs mit Hilfe der Vektor-Inter-
;rupt-Baugruppe:
;Tor-Zeit:Eingang A, 100Hz --> 1 Sekunde Meßzeit
;Kennung : D7 (RST 2) Schalterstellungen:  S14 S13 S12 S11
;                                           on  off on  off
;Umdrehungen:Eingang B --> Umdrehungsimpulse (1 Impuls/Umdr)
;Kennung : DF (RST 3) Schalterstellungen:  S24 S23 S22 S21
;                                           on  off off off
;Beide Kennungen (Areßvektoren) werden von MAT 85 bzw. SP1
;nicht genutzt !
;
;Autor: E. Matl, 4/90, Berufsförderungszentrum Essen
;
IS2ADR EQU 0FC8C      ;Sprungtabelle im RAM: RST 2
IS3ADR EQU 0FC8F      ;   "   "   "   " : RST 3
PAUSG  EQU 07         ;ADR Parallelausgabe, Umdrehungsanzeige
IMASKE EQU 1F         ;0001 1111, Maske für die nicht benö-
                        ;tigten Interrupteingänge

; ** Initialisierung **

MVI A,0C3             ;Sprung zur
STA IS2ADR             ;ISR2-Routine und zur
STA IS3ADR             ;ISR3-Routine
LXI H,SECISR           ; * TOR-ZEIT (1 SEKUNDE) *
SHLD IS2ADR+1          ;vorbelegen (ISR 2)
LXI H,UMDISR           ; * UMDREHUNGEN *
SHLD IS3ADR+1          ;vorbelegen (ISR 3)
XRA A                 ;Null setzen:
STA UHR                ;1/100 Sekunden
STA UMDR               ;Umdrehungen pro Sekunde
OUT PAUSG              ;Umdrehungsanzeige
MVI A,IMASKE           ;alle Interrupte bis auf
SIM                    ;INTR sperren
EI                     ;allgemeine Interrupt-Freigabe

; ** Hauptprogramm **
;
WAIT:  HLT              ;anhalten, bis INTR eintrifft !
        JMP WAIT        ;nach ISR 2/3-->WAIT (Endlos-Schleife)
                        ;hier wird nur auf einen Uhren- bzw.
                        ;Umdrehungsimpuls gewartet
```

Anmerkung: Sollte kein Motor mit Impulsgeber zur Verfügung stehen, so kann als Ersatz ein Frequenzgenerator mit TTL-Ausgang genommen werden.

Anwendungsbeispiele

Fortsetzung von Seite 28

```

; ** Interrupt-Service-Routine: SEKUNDEN-UHR **
; ** 1 Sekunde Torzeit für die Umdrehungsimpulse **
;
SECISR: PUSH PSW                ; Registerinhalte retten
HSEC:   LDA UHR                 ; 1/100 Sekunden holen
        CPI 63                 ; HSEC = 63/16 = 59/10 ?
        JZ HSEC0               ; ja --> HSEC0
        INR A                  ; <HSEC> := <HSEC> + 1
        STA UHR                ; speichern
        JMP REGRET             ; Ende
HSEC0:  LDA UMDR               ; 1 sec um, Umdrehungen pro sec holen
        OUT PAUSG              ; und anzeigen
        XRA A                  ; 1/100 Sekunden
        STA UHR                ; und
        STA UMDR               ; Umdrehungen auf Null
REGRET: POP PSW                ; Registerinhalte return
        EI                    ; Interrupt wieder freigeben
        RET                   ; zurück zum unterbrochenen Programm
;
; ** Interrupt-Service-Routine: UMDREHUNGEN **
;
UMDISR: PUSH PSW               ; Registerinhalt retten
        LDA UMDR               ; Umdrehungen holen
        ADI 01                 ; und Impuls
        DAA                    ; dezimal zählen
        STA UMDR               ; und speichern
        POP PSW                ; Registerinhalt zurück
        EI                    ; Interrupt wieder freigeben
        RET                   ; zurück zum unterbrochenen Programm
UHR:    DB 0                   ; Speicher: HSEC
UMDR:   DB 0                   ; Umdrehungen pro Sekunde

```

Vor der Programmeingabe müssen die Hardware-Voraussetzungen, die für eine ordnungsgemäße Funktion des Programms notwendig sind, erfüllt sein. Gehen Sie anhand der folgenden Stichpunkte vor:

- Haben die Ein-/Ausgabe-Baugruppen die richtigen Adressen?
- Werden die Interrupte 5.5, 6.5 und 7.5 anderweitig genutzt? Sie haben eine höhere Priorität. Die Maske in diesem Programm kann z.B. vom Betriebsprogramm wieder undefiniert werden.
- Ist die richtige Kennung auf der Interrupt-Vektor-Baugruppe eingestellt? Sind die Kennungen nicht doppelt?
- Falls ein externer Generator für die 100 Hz-Impulse verwendet wird: "Hat er die richtige Frequenz, den richtigen Pegel (TTL)?"
- Bei Verwendung des 100Hz-Impulses vom Netzteil: Ist die Brücke an der Bus-Aufsteckplatine an der richtigen Stelle? Der 100Hz-Impuls muß auf der Busleitung 30a zu messen sein.
- Ist die 100Hz-Impulsquelle an dem richtigen Interrupteingang: A,B,C und stimmt dieser mit der Kennung überein?

Inbetriebnahme

8 Inbetriebnahme

Die Inbetriebnahme dieser Baugruppe wird hier auf zwei Ebenen durchgeführt. In der ersten Ebene wird mit einer Minimalkonfiguration des MC-Systems gearbeitet. Es ist eine überschaubare Ebene, eventuelle Nebeneffekte durch das Betriebsprogramm oder weitere Baugruppen entfallen hier. Der Lernende kann sich hier ganz auf das Problem "Interrupt-Technik" und der dazu notwendigen Hardware konzentrieren. In der zweiten Ebene wird mit dem Betriebsprogramm gearbeitet, dieses setzt einige Kenntnisse über das Betriebsprogramm und dessen Unterstützung weiterer IO-Baugruppen voraus. Die Nutzung von Interrupt-Eingängen (siehe Tabelle Seite 18) muß hier beachtet werden.

8.1 Inbetriebnahme Minimalkonfiguration

Für diese Inbetriebnahme benötigen wir außer der Vektor-Interrupt-Baugruppe folgende Baugruppen:

- CPU
- RAM (ab der Adresse 0000)
- **Eingabe** (Port-Adresse 06)
- **Ausgabe** (Port-Adresse 07)
- **Bus-Signalgeber** (zur Programm-Eingabe)
- **Bus-Signalanzeige** (zur Programm-Eingabe und für den Einzelschritt-Betrieb - single step)
- **Adapterkarte** (auf diese Karte die Vektor-Interrupt-Baugruppe aufstecken; für Handbetrieb bzw. Messungen)
- **Bus-Aufsteckplatine** mit dem Widerstand für den offenen Kollektor-Ausgang: INTR und dem notwendigen Inverter.

Voreinstellungen an der Vektor-Interrupt-Baugruppe:

- Stecken Sie die Steckbrücke auf CON5 in die Stellung: 1.Baugruppe.
- Die Steckbrücken der Schaltung A (CON2), der Schaltung B (CON3) und der Schaltung C (CON4) sind in die Stellung "Hand-Betrieb" zu stecken.
- Die drei Steckbrücken an der Frontplatte CON6, CON7 und CON8 für die Eingänge mit negativer Flankensteuerung sind anstatt auf die Eingänge auf Masse zu stecken.
- Stellen Sie die drei folgenden Kennungen ein:

| | | |
|-------------------------|---------------|-------------------------|
| Schaltung | : A | Schaltung A hat die |
| Kennung | : C7 | höchste Priorität. |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on on on off | |
| Schaltung | : B | Schaltung B hat die |
| Kennung | : CF | nächsthöhere Priorität. |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on on off off | |
| Schaltung | : C | Schaltung C hat die |
| Kennung | : D7 | niedrigste Priorität |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on off on off | |

Sind alle oben angegebenen Vorarbeiten / Einstellungen durchgeführt, so können Sie den Baugruppenträger mit den Baugruppen bestücken.

Inbetriebnahme

Nachdem Sie alles nochmals überprüft haben, schalten Sie die Versorgungsspannung ein und geben Sie mit dem Bus-Signalgeber das folgende Testprogramm ein.

Testprogramm 1: Minimalkonfiguration:

| INTR-Nr. | Adresse | Daten | Mnemonic | Kommentar |
|----------|---------|----------|-------------|-----------------------------|
| RST 0: | 0 0 0 0 | AF | XRA A | <Akkuinhalt>:= 0 |
| | 0 0 0 1 | D3 07 | OUT 07 | INTR-Nr 0 anzeigen |
| | 0 0 0 3 | C3 40 00 | JMP 0040 | Sprung zur Initialisierung |
| | : | | | |
| RST 1: | 0 0 0 8 | 3E 01 | MVI A,01 | INTR-Nr 1 laden |
| | 0 0 0 A | D3 07 | OUT 07 | und anzeigen |
| | 0 0 0 C | C9 | RET | zurück |
| | : | | | |
| RST 2: | 0 0 1 0 | 3E 02 | MVI A,02 | INTR-Nr 2 laden |
| | 0 0 1 2 | D3 07 | OUT 07 | und anzeigen |
| | 0 0 1 4 | C9 | RET | zurück |
| | : | | | |
| | 0 0 4 0 | 31 00 20 | LXI SP,2000 | Stackpointer setzen |
| | 0 0 4 3 | 3E 1F | MVI A,1F | INTR RST 5.5/6.5/7.5 |
| | 0 0 4 5 | 30 | SIM | sperren |
| | 0 0 4 6 | DB 06 | IN 06 | START bei B0 = 1 |
| | 0 0 4 8 | E6 01 | ANI 01 | |
| | 0 0 4 A | CA 46 00 | JZ 0046 | B0 = 0, warten |
| | 0 0 4 D | FB | EI | B0 = 1, Interrupt freigeben |
| | 0 0 4 E | C3 46 00 | JMP 0046 | START abfragen |

Stellen Sie, bevor Sie das Testprogramm starten, die Bus-Signalanzeige auf "Einzelschritt-Betrieb" (Schalter: RUN/HLT auf HLT und Schalter: ON/OFF auf OFF; Hardware-Breakpoint aus). Danach können Sie das Programm starten, indem Sie den Bus-Signalgeber abschalten (Schalter: EIN/AUS auf AUS). Protokollieren Sie das Testprogramm im Einzelschritt-Betrieb nach dem folgenden Schema:

| STEP | ADR | DATA | MEMR | MEMW | IOW | IOR | INSTR | Kommentar |
|---------|------|------|------|------|-----|-----|-------|-----------|
| 0:RESET | 0000 | AF | * | | | | * | INTR-Nr 0 |
| 1 | 0001 | D3 | * | | | | * | anzeigen |
| 2 | 0002 | 07 | * | | | | * | |
| 3 | 0003 | C3 | * | | | | * | Sprung.. |

Mit dem Schalter B0 an der Paralleleingabe können Sie die Interrupt-Freigabe starten. Bevor der Befehl EI (Interrupt freigeben) nicht ausgeführt wurde, müssen auf der Vektor-Interrupt-Baugruppe von Hand ausgelöste Interrupt-Signale ignoriert werden. Sobald der Schalter B0 an der Eingabe eingeschaltet wird, reagiert die CPU auf anstehende Interrupt-Anforderungen. Erzeugen Sie mit den Hand-Tastern (TA1, TA2 und TA3) auf der Vektor-Interrupt-Baugruppe Interrupt-Anforderungen und protokollieren Sie den Ablauf.

Inbetriebnahme

In einem weiteren Schritt können Sie vom Einzelschritt-Betrieb in den "RUN-Betrieb" umschalten und die Baugruppe dynamisch testen. Je nach gedrückter Interrupt-Anforderung wird die entsprechende Interrupt-Nummer an der Ausgabe-Baugruppe angezeigt.

Nach dem vorgegebenen Testprogramm für die ersten drei Interrupt-Vektoren sollten Sie auch die noch fünf verbleibenden Interrupt-Vektoren testen. Dazu müssen auf der Vektor-Interrupt-Baugruppe die Interrupt-Kennungen entsprechend eingestellt werden und die dazu notwendigen ISR-Testroutinen unter den Zieladressen eingegeben werden.

Beispiel: INTR-Nr 5 --> Kennung: EF -->DIL-Schalter:

| | | | | |
|-----------------|-----|----|-----|-----|
| Datenleitungen: | D5 | D4 | D3 | D1 |
| DIL-Schalter: | off | on | off | off |

| | | | | |
|------------------|--------------|------|----------|------------|
| ISR-Testroutine: | Zieladresse: | 0028 | MVI A,05 | ;INTR-Nr 5 |
| | | 002A | OUT 07 | ;anzeigen |
| | | 002C | RET | |

Interrupt-Anforderungen über die Interrupt-Eingänge

- Die Steckbrücken der Schaltung A (CON2), der Schaltung B (CON3) und der Schaltung C (CON4) sind in die Stellung "AUTO" zu stecken.

Zur Ansteuerung der Baugruppe wird ein Signalgeber mit TTL-Ausgang benötigt. Wenn Sie das zuvor angegebene Testprogramm hier nutzen wollen, müssen Sie einen Signalgeber mit niedriger Ausgangsfrequenz benutzen, um die Signale an der Ausgabe-Baugruppe beobachten zu können.

Für die negativ-Flankeneingänge müssen die Steckbrücken an der Frontplatte CON6, CON7 und CON8 von "Masse" auf die Eingangsbuchsen (linke Reihe Buchsen A bis C) gesteckt werden. In dieser Stellung der Steckbrücken funktionieren die positiv-Flankeneingänge nur, wenn die negativ-Flankeneingänge den Pegel "Low" einnehmen, d.h., sie müssen auf "Low-Pegel" gelegt oder zur Ansteuerung genutzt werden.

Inbetriebnahme

8.2 Inbetriebnahme mit dem Betriebsprogramm MAT85

Außer den benötigten Baugruppen unter dem Inbetriebnahme-Teil "Minimalkonfiguration" wird die ROM-Baugruppe mit dem Betriebsprogramm MAT85 (ab Adresse 0000) für diese Inbetriebnahme benötigt. RAM-Speicher muß mindestens ab der Adresse E000 vorhanden sein.

Durch die Nutzung des Betriebsprogramms MAT85 liegen nun alle Interrupt-Adreßvektoren der CPU 8085 am Anfang des ROM-Bereichs von MAT85. Damit der Anwender später mit den vom Betriebsprogramm nicht genutzten Interrupten flexibel arbeiten kann, steht im ROM an den entsprechenden Adressen ein Sprung in den RAM-Bereich (siehe Tabelle Seite 18).

Im RAM stehen jeweils 3 Byte für einen Sprung in die notwendige Anwender-Interrupt-Service-Routine.

Sprungliste im ROM:

```

ROM-ADR: 0000  JMP 0149  ;RESET, Sprung in den ROM-Bereich (RST 0)
          0008  JMP 023F  ;USER-Einsprung, ROM-Bereich (RST 1)
          0010  JMP FC8C  ;frei, Sprung in den RAM-Bereich (RST 2)
          0018  JMP FC8F  ;frei, Sprung in den RAM-Bereich (RST 3)
          0020  JMP 02DF  ;BREAKPOINT-Einsprung, ROM-Bereich (RST 4)
          0024  JMP 0286  ;Warmstart-Einsprung, ROM-Bereich (TRAP)
          0028  JMP FC92  ;frei, Sprung in den RAM-Bereich (RST 5)
          002C  JMP FC95  ;MINI-DOS: Floppy-Disk-Controller (RST 5.5)
          0030  JMP FC98  ;frei, Sprung in den RAM-Bereich (RST 6)
          0034  JMP FC9B  ;SPS/BASIC: Abbruch über Tastatur (RST 6.5)
          0038  JMP 024D  ;PROGRAM-ABORT-Einsprung, ROM-Bereich (RST 7)
          003C  JMP FC9E  ;SPS-Interpreter (timer) (RST 7.5)

```

Anmerkung: Eine Beschreibung des Betriebssystems finden Sie in dem Band Fachtheoretische Übungen, Kapitel 7.1 MAT 85 und Kapitel 7.2 Software-Paket SP1.

Voreinstellungen an der Vektor-Interrupt-Baugruppe:

- Stecken Sie die Steckbrücke auf CON5 in die Stellung: 1. Baugruppe.
- Die Steckbrücken der Schaltung A (CON2), der Schaltung B (CON3) und der Schaltung C (CON4) sind in die Stellung "Hand-Betrieb" zu stecken.
- Die drei Steckbrücken an der Frontplatte CON6, CON7 und CON8 für die Eingänge mit negativer Flankensteuerung sind anstatt auf die Eingänge auf Masse zu stecken.
- Stellen Sie die drei folgenden Kennungen ein:

| | | |
|-------------------------|---------------|-------------------------|
| Schaltung | : A | Schaltung A hat die |
| Kennung | : C7 | höchste Priorität. |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on on on off | |
| Schaltung | : B | Schaltung B hat die |
| Kennung | : CF | nächsthöhere Priorität. |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on on off off | |
| Schaltung | : C | Schaltung C hat die |
| Kennung | : D7 | niedrigste Priorität |
| Datenleitungen | : D5 D4 D3 D1 | |
| DIL-Schalterstellungen: | on off on off | |

Inbetriebnahme

Bevor Sie die Versorgungsspannung einschalten, überprüfen Sie bitte alle Einstellungen. Geben Sie anschließend mit Hilfe des Assemblers das folgende Testprogramm ein.

Testprogramm 2 unter MAT 85:

| | Adresse | Daten | Mnemonic | Kommentar |
|----------|---------|----------|----------|----------------------------|
| RST 0: | 0 0 0 0 | C3 49 01 | JMP 0149 | Sprung nach 149, **RESET** |
| | : | | | |
| RST 1: | 0 0 0 8 | C3 3F 02 | JMP 023F | Sprung nach 23F, **USER** |
| | : | | | |
| RST 2: | 0 0 1 0 | C3 8C FC | JMP FC8C | Sprung nach FC8C, RAM |
| | : | | | |
| | : | | | |
| Start--> | E 0 0 0 | 3E 1F | MVI A,1F | INTR RST 5.5/6.5/7.5 |
| | E 0 0 2 | 30 | SIM | individuell sperren |
| | E 0 0 3 | AF | XRA A | <Akkuinhalt>:= 0 |
| | E 0 0 4 | D3 07 | OUT 07 | anzeigen |
| | E 0 0 6 | FB | EI | Interrupt allgemein frei- |
| | E 0 0 7 | 76 | HLT | geben und HALT-Zustand |
| | E 0 0 8 | C3 07 E0 | JMP E007 | Endlos-Schleife (verlassen |
| | : | | | nur durch RESET- oder |
| | : | | | Interrupt-Signal möglich ! |
| | : | | | |
| ISR2:--> | E 0 1 0 | 3C | INR A | Interrupte zählen |
| | E 0 1 1 | D3 07 | OUT 07 | anzeigen |
| | E 0 1 3 | FB | EI | Interrupt freigeben |
| | E 0 1 4 | C9 | RET | zurück |
| | : | | | |
| | : | | | |
| | F C 8 C | C3 10 E0 | JMP E010 | Sprungleiste zur Anwen- |
| | | | | der-ISR2 |

Wenn Sie das Testprogramm2 gestartet haben, werden die Interrupt-Signale der Schaltung C (niedrigste Priorität) gezählt und an der Ausgabe-Baugruppe angezeigt. Bei Auslösung der anderen beiden Vektor-Interrupt-Signale kann die Endlos-Schleife mit einer Rückkehr in das Betriebsprogramm verlassen werden.

Schaltung B: Rückkehr in das Betriebsprogramm mit Meldung:**USER**

Schaltung A: Rückkehr in das Betriebsprogramm mit Meldung:**RESET**
(höchste Priorität)

Dieses kleine Testprogramm für die Vektor-Interrupt-Baugruppe zeigt einmal die Nutzung eines freien Interrupt-Adreßvektors (RST 2) und als zweites Beispiel die Nutzung von Betriebssystem-Adreßvektoren.

Aufgabe: Testen Sie in gleicher Weise die restlichen 5 Interrupt-Adreßvektoren.

Hinweis: Unter dem RST 4 -Adreßvektor erfolgt die Meldung:

BREAKPOINT-ERROR

mit einer Ausgabe der aktuellen CPU-Registerinhalte. Dieses kann zu Programmtests genutzt werden, wobei durch ein externes Ereignis eine Triggerung bzw. Programm-Terminierung mit einer aktuellen Protokollierung erreicht werden kann.

Inbetriebnahme

8.2.1 Inbetriebnahme mit den erweiterten Adreßvektoren

Wie in dem Kapitel 5.3.1 *Erweiterung der Adreßvektoren* beschrieben, müssen die Interrupteingänge A bis C untereinander verbunden und von einer Interrupt-Quelle angesteuert werden. Dadurch wird in allen drei Schaltungen das Interrupt-Flipflop gesetzt. Die CPU liest bei eingestellter Kennung "CD" an der Schaltung A diese Kennung sowie die nächsten beiden Adreßvektoren und löscht die entsprechenden Interrupt-Anforderungen.

Durch diese Maßnahme steht nur noch ein Interrupteingang zur Verfügung (Nachteil); es ergeben sich weitere Adreßvektoren (Vorteil, siehe Anhang A8).

Stellen Sie die folgenden Kennungen ein:

Schaltung A: Kennung : CD --> Schalterstellungen: S14 | S13 | S12 | S11
 on | on | off | on

Schaltung B: Adr.-Low: CF --> Schalterstellungen: S24 | S23 | S22 | S21
 on | on | off | off

Schaltung C: Adr.-High:D7 --> Schalterstellungen: S34 | S33 | S32 | S31
 on | off | on | off

Testprogramm 3 unter MAT 85:

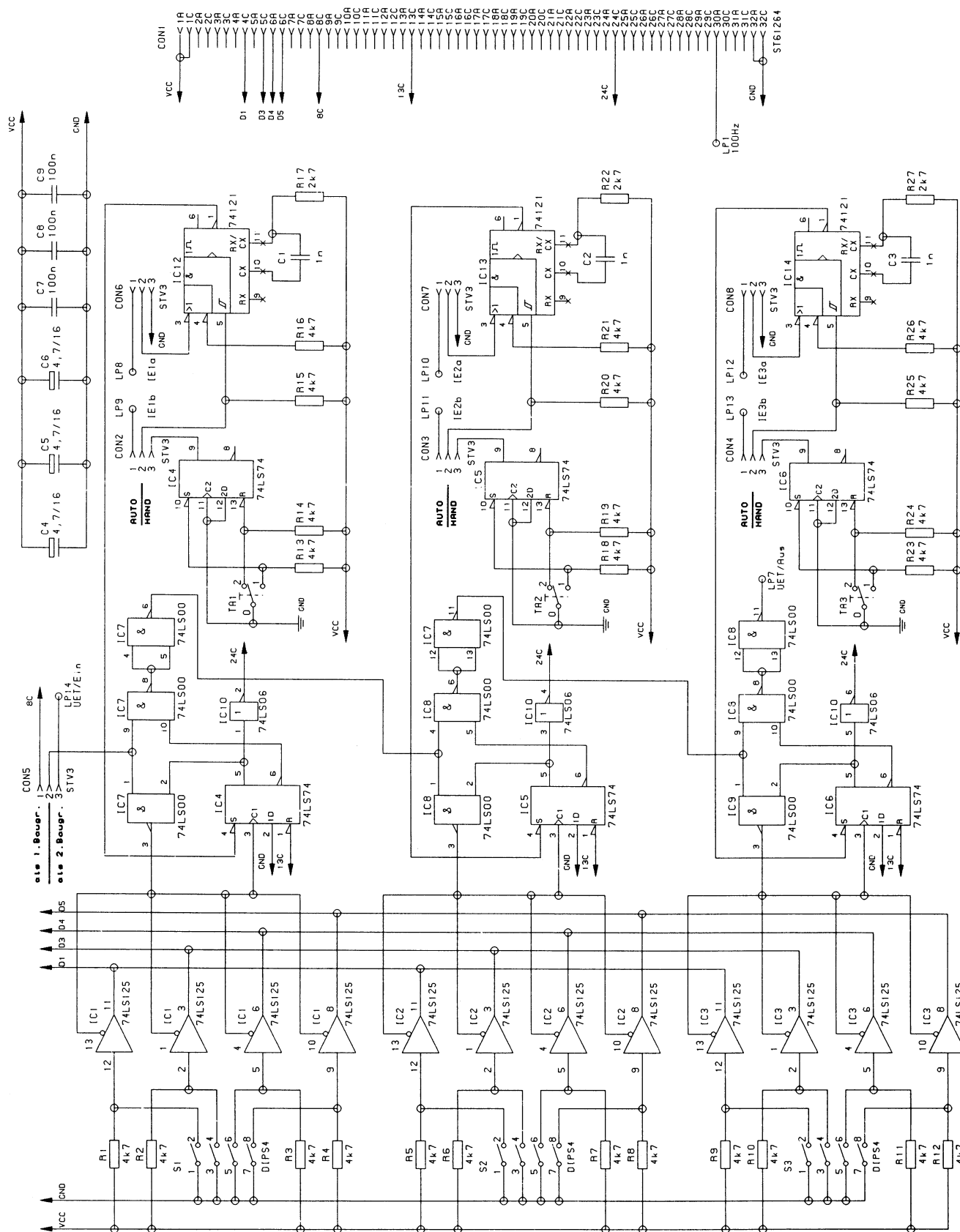
| | Adresse | Daten | Mnemonik | Kommentar |
|----------|---------|----------|----------|----------------------------|
| Start--> | : | | | |
| | E 0 0 0 | 3E 1F | MVI A,1F | INTR RST 5.5/6.5/7.5 |
| | E 0 0 2 | 30 | SIM | individuell sperren |
| | E 0 0 3 | AF | XRA A | <Akkuinhalt>:= 0 |
| | E 0 0 4 | D3 07 | OUT 07 | anzeigen |
| | E 0 0 6 | FB | EI | Interrupt allgemein frei- |
| | E 0 0 7 | 76 | HLT | geben und HALT-Zustand |
| | E 0 0 8 | C3 07 E0 | JMP E007 | Endlos-Schleife (verlassen |
| | : | | | nur durch RESET- oder |
| | : | | | Interrupt-Signal möglich |
| ISRCALL: | : | | | |
| | D 7 C F | 3C | INR A | Interrupte zählen |
| | D 7 D 0 | D3 07 | OUT 07 | anzeigen |
| | D 7 D 1 | FB | EI | Interrupt freigeben |
| | D 7 D 2 | C9 | RET | zurück |
| | : | | | |

Wenn Sie das Testprogramm 3 gestartet haben, werden die Interrupt-Signale an den untereinander verbundenen Eingängen gezählt und an der Ausgabe-Baugruppe angezeigt. Auf diese Weise läßt sich die richtige Funktion der gesamten Interrupt-Logik des MC-Systems testen. Die Frequenz des eintreffenden Interrupt-Signals sollte nicht zu hoch sein, so daß die richtige Zählung an der Ausgabe verfolgt werden kann. Ist ein Zweikanal-Oszilloskop vorhanden, kann die Eingangs- und Ausgangsfrequenz verglichen werden.

Hinweis: Die Frequenz an B0 der Ausgabe hat die halbe Frequenz des Interruptsignals - positive Flanke löst den Interrupt aus.

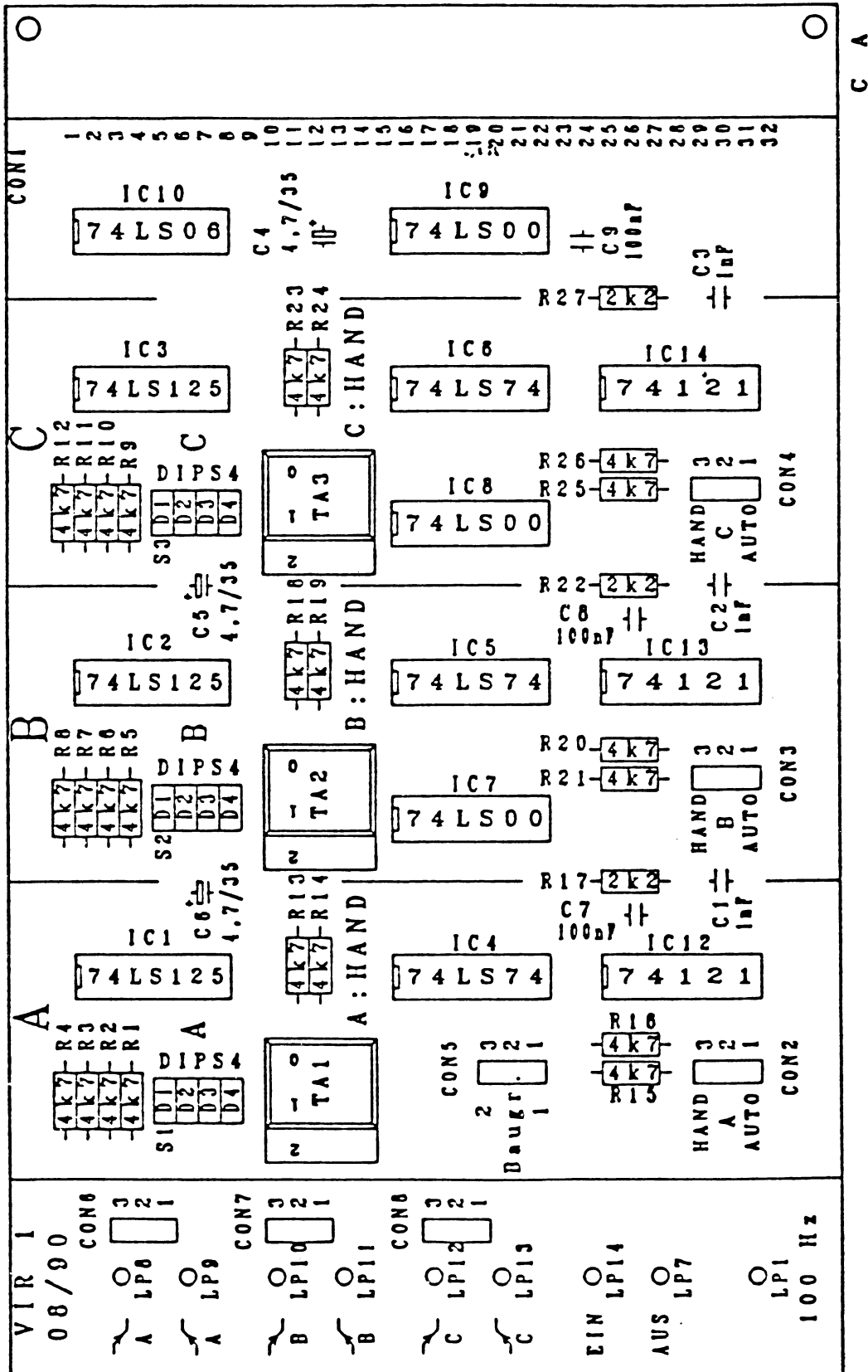
Anhang

A1 Stromlaufplan Vektor-Interrupt-Baugruppe



Anhang

A2 Bestückungsplan

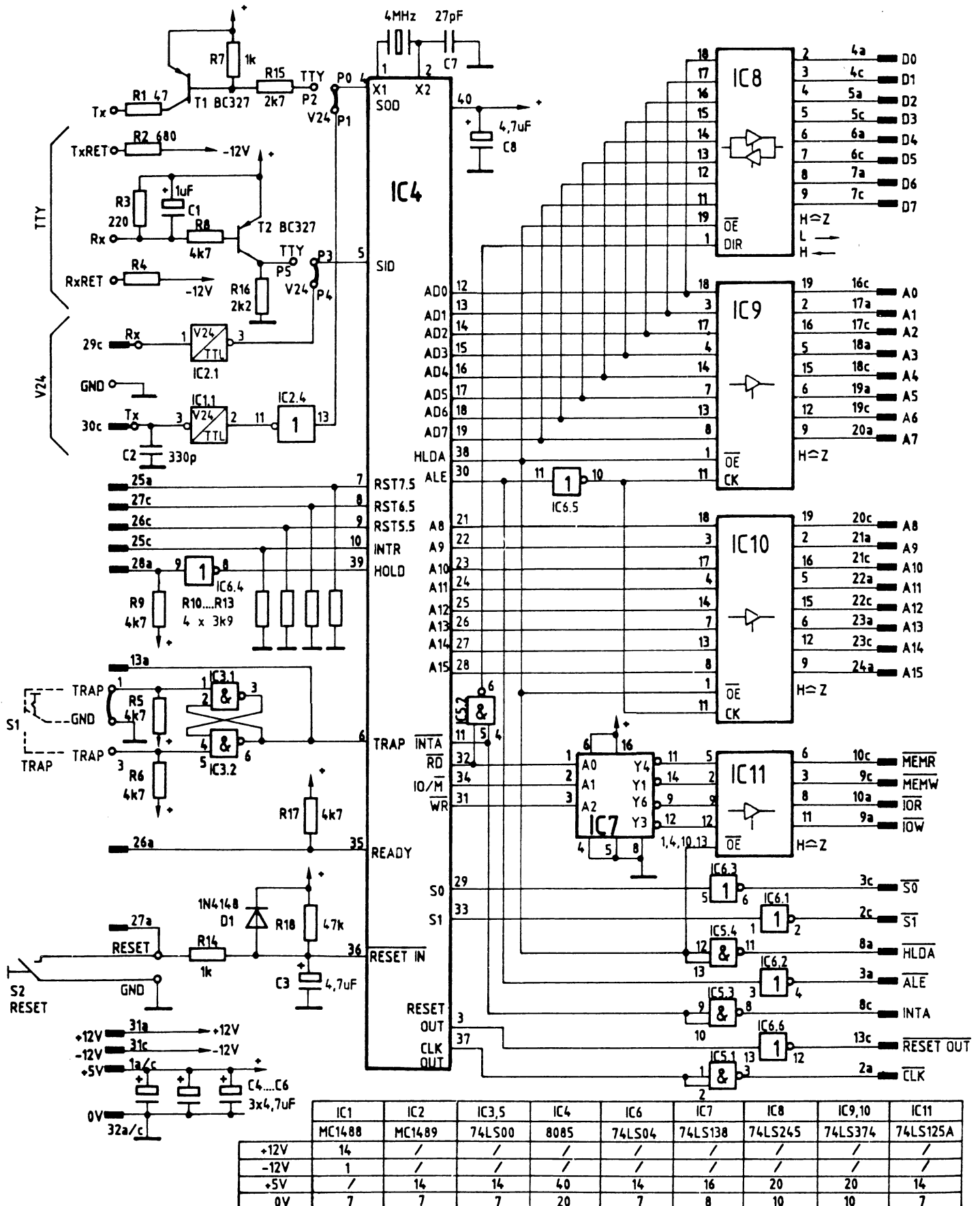


A3 Bauteilliste

| Pos. | Benennung/Daten | Stückzahl |
|------|--|-----------|
| 1 | Platine MFA 4.15 | 1 |
| 2 | 64 pol. Messerleiste/90° | 1 |
| 3 | 3 pol. Stiftleiste | 3 |
| 4 | IC-Fassung/14 pol. | 13 |
| 5 | Litze 20 mm-lang | 1 |
| 6 | Jumper 2,5 mm | 3 |
| 7 | Rek-Eingabetaste | 3 |
| 8 | Dip-Schalter 4 pol. | 3 |
| 9 | Frontplatte Vektor-Interrupt | 1 |
| 10 | Griffe MFA | 1 |
| 11 | Frontplatte MFA-Griff | 1 |
| 12 | Einpressbuchse/gelb/2 mm | 1 |
| 13 | Einpressbuchse/schwarz/ 2 mm | 1 |
| 14 | Einpressbuchse/grün/ 2 mm | 7 |
| 15 | Frontverbinder z.B. Polyrack Art.-Nr. 793000 | 1 |
| 16 | Schaftschraube 2,5 x 10 DIN 84 | 2 |
| 17 | Schraubensicherung | 2 |
| 18 | Federring 2,6 mm | 1 |
| 19 | Federscheibe 2,6 mm | 5 |
| 20 | Zylinderkopfschraube M 2,5 x 10 | 2 |
| 21 | Zylinderkopfschraube M 2,5 x 12 | 1 |
| 22 | Zylinderkopfschraube M 2,5 x 8 | 3 |
| 23 | Sechskantmutter M 2,5 | 6 |
| 24 | IC 74LS06 | 1 |
| 25 | IC 74LS121 | 3 |
| 26 | IC 74LS00 | 3 |
| 27 | IC 74LS125 A | 3 |
| 28 | IC 74LS74 | 3 |
| 29 | Kondensator 1nF/Keramik | 3 |
| 30 | Kondensator 100nF/Keramik | 3 |
| 31 | Widerstand 2K2/0.25 W | 3 |
| 32 | Widerstand 4K7/0.25 W | 24 |
| 33 | Tantalkondensator 4,7µF/35 V | 3 |


Anhang

A4 Stromlaufplan CPU 8085



Anhang

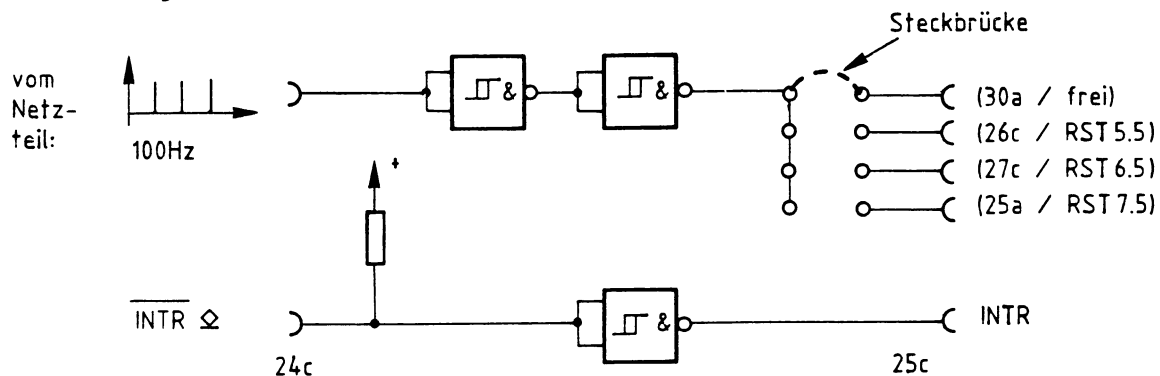
A5 Bus-Belegungsplan

| Stift-
Nr. | Reihe | |
|---------------|---|----------------------|
| | a | c |
| 1 | + 5V | + 5V |
| 2 | <u>CLKOUT</u> | S1 |
| 3 | <u>ALE</u> | S0 |
| 4 | D0 | D1 |
| 5 | D2 | D3 |
| 6 | D4 | D5 |
| 7 | D6 | D7 |
| 8 | <u>HLDA</u> | INTA |
| 9 | <u>IOW</u> | <u>MEMW</u> |
| 10 | <u>IOR</u> | <u>MEMR</u> |
| 11 | ROM | IN |
| 12 | RAM | OUT |
| 13 | TRAP | <u>RESOUT</u> |
| 14 | - | - |
| 15 | - | A16 |
| 16 | A17 | A 0 |
| 17 | A 1 | A 2 |
| 18 | A 3 | A 4 |
| 19 | A 5 | A 6 |
| 20 | A 7 | A 8 |
| 21 | A 9 | A10 |
| 22 | A11 | A12 |
| 23 | A13 | A14 |
| 24 | A15 | <u>INTR</u> Ω |
| 25 | RST7.5 | INTR |
| 26 | <u>READY</u> | RST5.5 |
| 27 | <u>RESIN</u> | RST6.5 |
| 28 | HOLD | - |
| 29 | - | RxD |
| 30 |  100Hz | TxD |
| 31 | + 12V | - 12V |
| 32 | GND | GND |

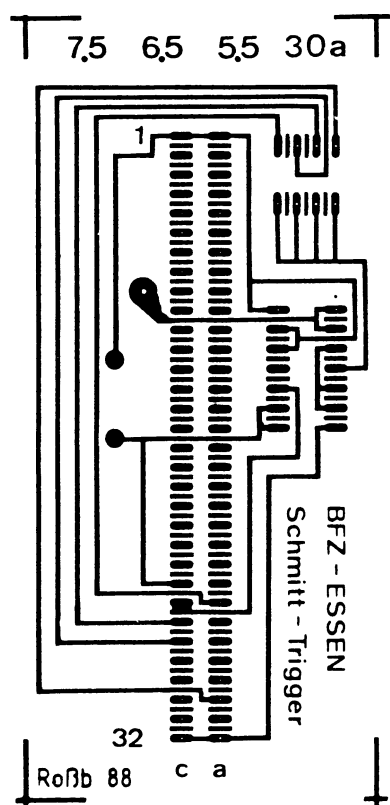
Anhang

A6 Bus-Aufsteckplatine

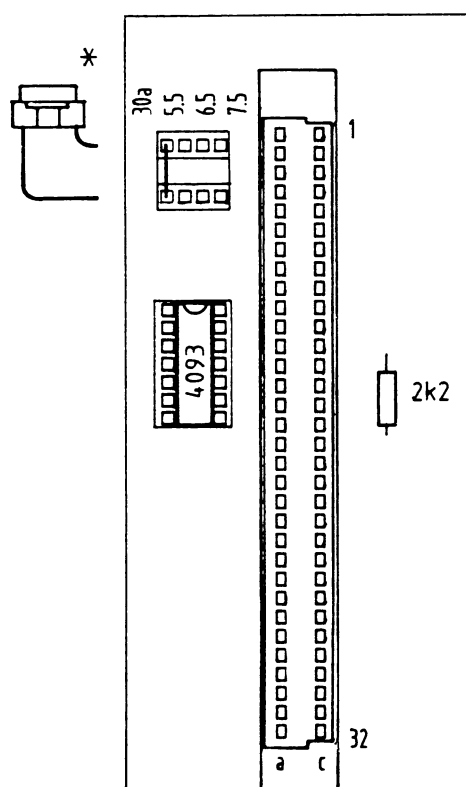
Schaltung



Lötseite



Bestückungsseite



* Es sollte ein abgewinkelter DIL-Sockel genommen werden, die Brücken können dann ohne Abnahme der Aufsteckplatine geändert werden.

A7 Interrupt-Adreßtabelle

| Anschluß / Signal | | | Pri-
ori-
tät | Ziel-
Adresse | Auslösung
durch |
|-------------------|---------------------|--------------|---------------------|------------------|--|
| Befehl(Vektor) | | | | | |
| INTR: RST 0 | (C7) | | | 0 0 0 0 | H-Pegel bis zur Annahme |
| RST 1 | (CF) | frei- | | 0 0 0 8 | " " " " |
| RST 2 | (D7) | geben | | 0 0 1 0 | " " " " |
| RST 3 | (DF) | durch | 5 | 0 0 1 8 | " " " " |
| RST 4 | (E7) | EI-Be- | | 0 0 2 0 | " " " " |
| RST 5 | (EF) | fehl / | | 0 0 2 8 | " " " " |
| RST 6 | (F7) | | | 0 0 3 0 | " " " " |
| RST 7 | (FF) | sper-
ren | | 0 0 3 8 | " " " " |
| RST 5.5 | maskier- | durch | 4 | 0 0 2 C | " " " " |
| RST 6.5 | bar durch | DI-Be- | 3 | 0 0 3 4 | " " " " |
| RST 7.5 | SIM-Befehl | fehl | 2 | 0 0 3 C | L-H-Flanke, Anforderung
wird bis zur Annahme ge-
speichert |
| TRAP (RST 4.5) | nicht
maskierbar | | 1 | 0 0 2 4 | L-H-Flanke und H-Pegel
bis zur Annahme |

- Interrupt-Masken-Register

Bedeutung der Bit beim Schreiben in das I-Register:

| Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|---------------------------------|-----------|-------|--|--|---|-------|-------|
| SOD | SOD
EN | X | RES
7.5 | MSE | M7.5 | M6.5 | M5.5 |
| Freigabe: H | | | Rücksetzen des RST 7.5-Flipflop
durch H-Pegel | Maske:
L: wird ignoriert
H: wird gesetzt | Unterbrechungsmaske:
L: Interrupt erlaubt
H: Interrupt gesperrt | | |
| Pegel am Ausgang
SOD der CPU | | | | | | | |
| | | | | | | | |

Bedeutung der Bit beim Lesen des I-Registers:

| Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 |
|--------------------------------------|-------|-------|-------|-------------------------------------|-------|-------|-------|
| SID | I7.5 | I6.5 | I5.5 | IE | M7.5 | M6.5 | M5.5 |
| Flags für anstehende Unterbrechungen | | | | aktuelle Unterbrechungsmaske: | | | |
| Pegel am Eingang
SID der CPU | | | | L: Interrupt erlaubt | | | |
| | | | | H: Interrupt gesperrt | | | |
| | | | | <u>Unterbrechungs-Freigabe-Bit:</u> | | | |
| | | | | H: Maske ist freigegeben | | | |

Anmerkung: SID: seriell input data, Anschluß 5 an der CPU.
SOD: seriell output data, Anschluß 4 an der CPU.

Anhang

A8 Adreßvektoren incl. Erweiterung für den Interrupt: INTR

| Stellung der
DIL-Schalter | | | | Kennung | Zieladresse/
Adreßvektor |
|------------------------------|-----------|-----------|------------|----------|-----------------------------|
| SX4
(D5) | SX3
D4 | SX2
D3 | SX1
D1) | Datenbus | |
| on | on | on | on | C5 | (C5) |
| on | on | on | off | C7 | 0 0 0 0 |
| on | on | off | on | CD | Kennung: CALL |
| on | on | off | off | CF | 0 0 0 8 |
| on | off | on | on | D5 | (D5) |
| on | off | on | off | D7 | 0 0 1 0 |
| on | off | off | on | DD | (DD) |
| on | off | off | off | DF | 0 0 1 8 |
| off | on | on | on | E5 | (E5) |
| off | on | on | off | E7 | 0 0 2 0 |
| off | on | off | on | ED | (ED) |
| off | on | off | off | EF | 0 0 2 8 |
| off | off | on | on | F5 | (F5) |
| off | off | on | off | F7 | 0 0 3 0 |
| off | off | off | on | FD | (FD) |
| off | off | off | off | FF | 0 0 3 8 |

SX : DIL-Schalter S1 bis S3 (Schaltung A bis C)

Anmerkung: Diese Tabelle ist eine Erweiterung der Adreßvektor-Tabelle von Seite 20 der Funktionsbeschreibung.
Für die Erweiterung werden alle drei Vektor-Interrupt-Schaltungen (A, B und C) auf der Baugruppe benötigt.
An der Schaltung A muß dann die Kennung "CD" (CALL) eingestellt werden. Die Schaltungen B und C liefern dann das Low- bzw. High-Byte des notwendigen Adreßvektors (Zieladresse in Klammern) für die Kennung "CD".

| | | | |
|-----------|-------------|-------------|-------------|
| Beispiel: | Schaltung A | Schaltung B | Schaltung C |
| | CD | CF | D7 |

ergibt: **CALL D7CF**

Anhang

A9 Nützliche Hinweise zum Betrieb und zur Erweiterung (2. Baugruppe)

Hier soll nun eine kurze Zusammenfassung von Hinweisen erfolgen - sozusagen eine Checkliste.

Denken Sie daran, daß das Interruptsystem Ihres Mikrocomputers unter Umständen noch nie genutzt wurde - verdeckte Fehler sind möglich.

Eine einfache und überschaubare Inbetriebnahme wie unter Kapitel 8.1 ist auf jeden Fall für den Einstieg und für eine mögliche Fehlersuche von Vorteil. Anderweitige Nutzung des Interruptsystems wird dabei ausgeschlossen.

Zum Betrieb der Vektor-Interrupt-Baugruppe ist die Bus-Aufsteckplatine erforderlich, sie liefert für den "offenen Kollektorausgang" der Interruptleitung den notwendigen "pull-up-Widerstand" und stellt die Verbindung zur Bus-INTR-Leitung über einen Inverter her.

Der netzsynchrone 100 Hz-Impuls kann nur eine TTL-Last treiben. Bei einer Nutzung in Zusammenhang mit der Erweiterung der Adreßvektoren (Ansteuerung der drei untereinander verbundenen Interrupteingänge) muß ein Treiber-IC zwischengeschaltet werden.

Werden zwei Vektor-Interrupt-Baugruppen zusammengeschaltet -Erweiterung der "daisy-chain-Kette" auf 6 Interruptquellen-, so muß eine Baugruppe über die Steckbrücke CON5 auf Baugruppe 1 und die zweite Baugruppe muß über die Steckbrücke CON5 auf Baugruppe 2 eingestellt sein. Die auf Baugruppe 1 eingestellte Vektor-Interrupt-Baugruppe liegt dann in der Prioritätenkette vor der Baugruppe 2.

Die beiden Baugruppen sollten nebeneinander gesteckt sein, da das INTA-Lesesignal extern verbunden werden muß:

| | | |
|--------------|---------------|---------------|
| Baugruppe 1: | INTA-Übertrag | |
| | Aus | verbunden mit |
| Baugruppe 2: | INTA-Übertrag | |
| | Ein | |

Bevor Sie ein Beispiel aus dieser Beschreibung ausprobieren, überprüfen Sie bitte folgende Punkte:

- Sind die Kennungen richtig eingestellt ?
- Kommen keine Kennungen doppelt vor ?
- Haben die Steckbrücken CON2, CON3 und CON4 (HAND/AUTO) die richtige Position ?
- Falls Sie Interrupte über die Interrupteingänge A, B und C auslösen, so müssen die Steckbrücken CON2, CON3 und CON4 auf "AUTO" gesteckt sein.
- Haben die Interruptsignale die richtigen Pegel und eine entsprechende Flankensteilheit ?
- Pegel lassen sich gut im "Hand-Betrieb" der Vektor-Interrupt-Baugruppe im Zusammenspiel mit dem "single-step-Betrieb" des MC-Systems überprüfen.
- Ist die Bus-Aufsteckplatine auf den Bus gesteckt ?
- Erstellen Sie sich zusätzlich zu einem Programmablaufplan (Flußdiagramm) Ihres Programms einen Interruptplan mit den ..

..verwendeten Interrupten, Kennungen, Adreßvektoren.

Prioritäten und die zeitliche Abfolge der Ansteuerung müssen stimmen und in den Plan aufgenommen werden.

Anhang

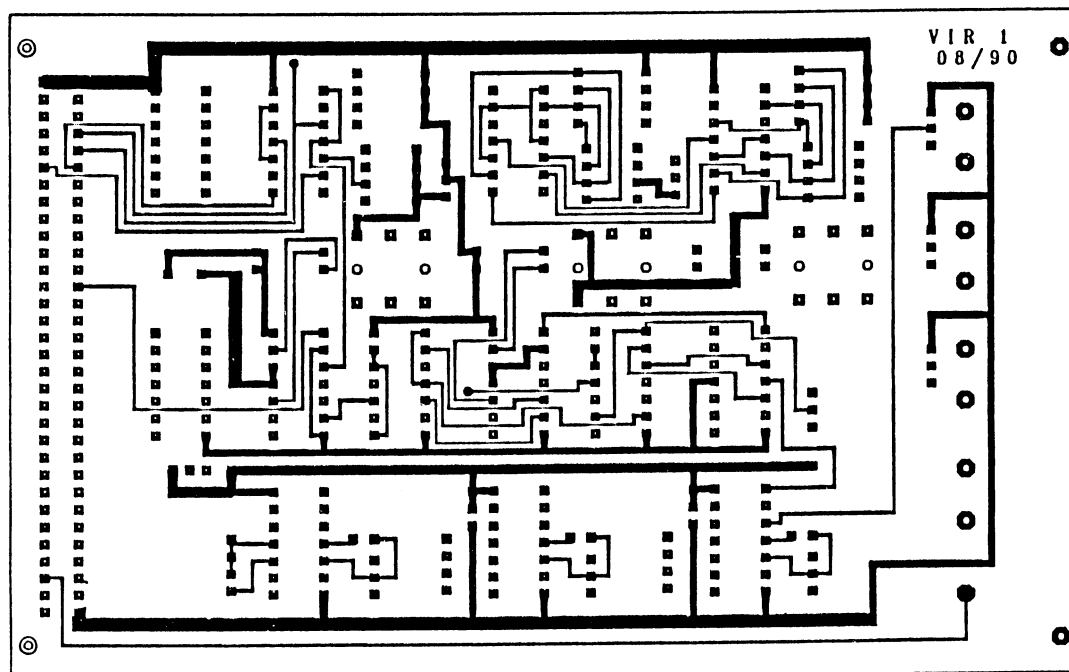
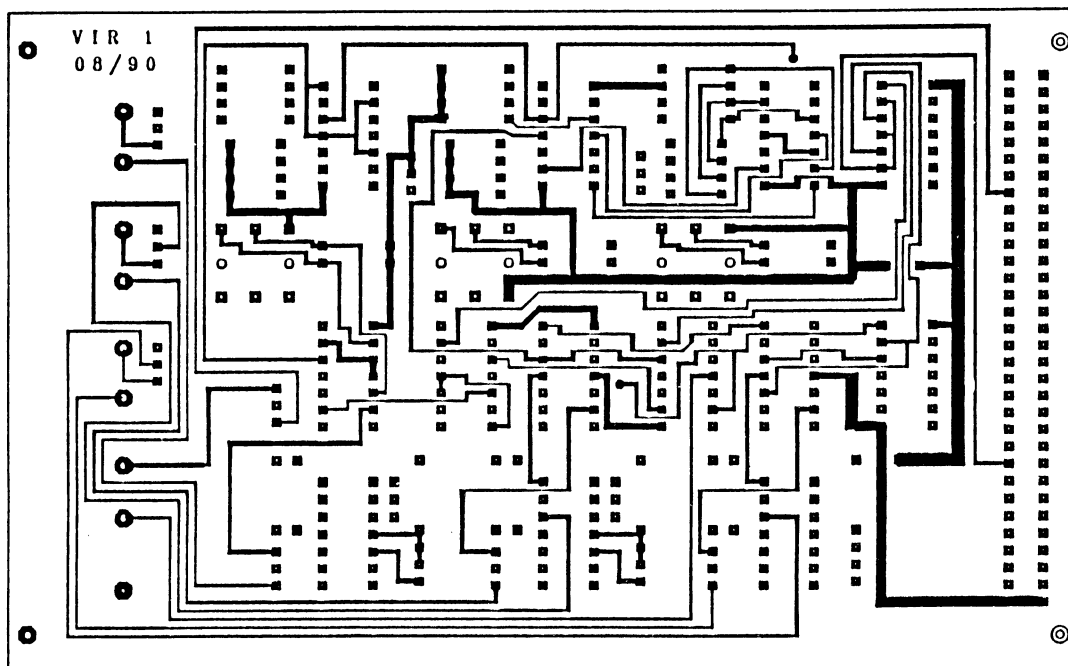
A10 Wichtige Hinweise für die Benutzer der MAT 32 K Terminal-Version

Durch die Anpassung des MAT85 Betriebsprogramm an die Terminalversion hat sich die Sprungliste im ROM verändert. Entgegen der Beschreibung auf S. 33 ergibt sich für den Anwender der Terminalversion folgende Sprungliste:

ROM-Adr:

| | | | |
|------|-----------|-------------------------------------|-----------|
| 0000 | JMP 0149 | ; RESET, Sprung in den ROM-Bereich | (RST 0) |
| 0008 | JMP 023F | ; USER-Einsprung, ROM-Bereich | (RST 1) |
| 0010 | CALL 082D | ; Serielle Eingabe, ROM-Bereich | (RST 2) |
| 0018 | JMP 0877 | ; Sprung im ROM-Bereich | (RST 3) |
| 0020 | JMP 02DF | ; BREAKPOINT-Einsprung, ROM-Bereich | (RST 4) |
| 0024 | JMP FC8C | ; Sprung in den RAM-Bereich | (TRAP) |
| 0028 | JMP FC92 | ; frei, Sprung in den RAM-Bereich | (RST 5) |
| 002C | JMP FC95 | ; MINI-DOS, Floppy Controller | (RST 5.5) |
| 0030 | JMP FC98 | ; frei, Sprung in den RAM-Bereich | (RST 6) |
| 0034 | JMP FC9B | ; SPS/BASIC: Abbruch mit Tastatur | (RST 6.5) |
| 0038 | JMP 024D | ; PROGRAM-ABORT-Einsprung, ROM | (RST 7) |
| 003C | JMP FC9E | ; SPS-Interpreter (Timer) | (RST 7.5) |

Ein Vergleich der Sprunglisten zeigt, daß sowohl RST 2 als auch RST 3 für den Anwender der Terminalversion nicht nutzbar ist. Bei der Durchführung der Anwendungsbeispiele 1 und 2 sowie vom Testprogramm 2 müssen daher andere Vektoren als vorgegeben eingestellt werden (RST 5 und/oder RST 6).



MFA-MEDIENSYSTEM

Mikrocomputer- Technik

Fachpraktische Übungen
Band 5

5


MEDIENSYSTEM

VUS Bfz