

UNIO-1
HANDBUCH

 **CONITEC**
DATENSYSYSTEME

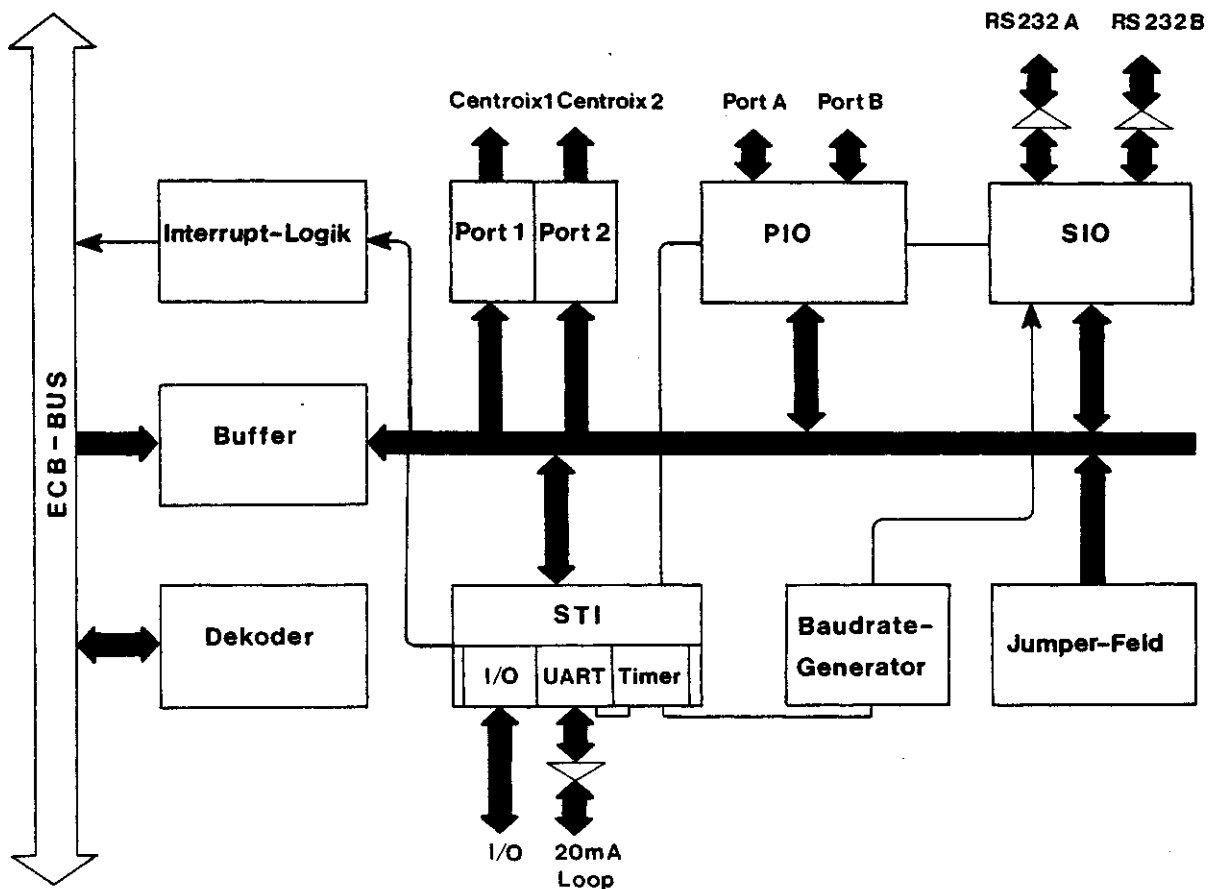
UNIO - 1 - Hardware

UNIO-1 ist eine vielseitige Multifunktionskarte für ECB-Bus-Systeme. Sie enthält praktisch alle Standard-Schnittstellen, die zum Anschluß von Peripheriegeräten benötigt werden.

Es gibt zwei gepufferte Parallelschnittstellen nach Centronics-Norm, zwei serielle V24/RS232-Schnittstellen und eine serielle 20mA-Stromschleife. Die Baudraten lassen sich wahlweise über Steckbrücken oder per Software einstellen. Ein optionaler Spannungswandler auf der Karte erzeugt die erforderlichen +/- 12 Volt für die V24-Schnittstellen.

Zusätzlich stehen für Spezialanwendungen vier extern steuerbare Zeitgeber und 24 einzeln programmierbare, interruptfähige I/O-Leitungen zur Verfügung. Auf einem Verdrahtungsfeld können Zusatzschaltungen aufgebaut werden. Die I/O-Leitungen bilden drei 8-Bit-Ports, von denen zwei mit interruptfähigen Handshake-Leitungen ausgestattet sind.

Alle Schnittstellen, die Zeitgeber und die I/O-Leitungen lassen sich im Z80-Vektor-Interruptmodus betreiben. Das Blockschaltbild zeigt die einzelnen Funktionsgruppen der Karte, der Stromlaufplan am Schluß dieses Handbuchs die detaillierte Schaltung.



B u s - I n t e r f a c e

UNIO-1 belegt 32 aufeinanderfolgende I/O-Adressen am ECB-Bus. Die Anfangsadresse läßt sich über das Jumperfeld J1 in 8 Schritten einstellen (00h,20h,40h,60h,80h,A0h,C0h,E0h). Der Datenbus ist gepuffert; von den Adress- und Steuerleitungen wird keine mit mehr als zwei LS-TTL-Eingängen belastet. Der Systemtakt für SIO und PIO kommt entweder vom Bus oder wird auf der Karte selbst erzeugt; im letzten Fall muß der Jumper J7 umgesteckt werden.

C e n t r o n i c s - S c h n i t t s t e l l e n

Über die beiden Centronics-Schnittstellen lassen sich Drucker, Plotter oder ähnliche Peripheriegeräte ansteuern. Die Schnittstellen sind gepuffert und können direkt mit dem Kabel verbunden werden. Jede Schnittstelle hat acht Datenleitungen, einen STROBE-Ausgang und zwei Quittungseingänge (/ACK und BUSY). Die INIT-Leitung, die das Peripheriegerät zurücksetzt, ist beiden Schnittstellen gemeinsam. Schnittstelle 1 hat zusätzlich noch einen ERROR-Eingang, der für Signale wie 'Papierwechsel' ('Paper Out') usw. benutzt werden kann.

Für die Übertragung werden im allgemeinen nur die sieben Datenleitungen DATA0-6, /STB und BUSY benötigt. Die anderen Leitungen sind dann frei und können für beliebige Zwecke verwendet werden. Eine interruptgesteuerte Datenübertragung ist bei Verwendung der /ACK-Eingänge möglich, die auf programmierbare Interruptleitungen der STI geführt sind. Auch das ERROR-Signal kann einen Interrupt auslösen.

Zu Spezialzwecken kann jede Centronics-Schnittstelle per Hardware oder Software in den hochohmigen Zustand geschaltet werden. Dazu ist die externe Leitung CG oder das Flag CG vorgesehen; ein 'High'-Pegel bzw. eine '1' schaltet die jeweilige Schnittstelle ab. Bei Verwendung des CG-Eingangs ist Jumper J5 zu entfernen.

P o r t s A u n d B

Dieser Baustein (Z80-PIO) stellt zwei 8-Bit-Parallelports für beliebige Anwendungen zur Verfügung. Jede Leitung kann als Ein- oder Ausgang programmiert werden und allein oder in Kombination mit anderen einen Interrupt auslösen. Näheres steht im PIO-Handbuch.

R S 2 3 2 - S c h n i t t s t e l l e n

Die auf der Karte eingesetzte Z80-SIO kann zwei serielle Schnittstellen mit V24-Spannungspegel bedienen. Die Übertragung erfolgt asynchron oder synchron in vielen möglichen Betriebsarten, die per Software einstellbar sind; genaueres ist im SIO-Handbuch nachzulesen. Beide Schnittstellen sind mit RTS/CTS-Handshake-Leitungen ausgerüstet. Bei

Nichtbenutzung ist die RTS-Leitung mit +12V zu verbinden. Modem-Steuer-signale wie DCD/DTR stehen mit TTL-Pegel zu Verfügung.

Falls auf dem ECB-Bus die notwendigen Spannungen (+/-12V) nicht verfügbar sind, kann UNIO mit einem Spannungswandler (Option) ausgerüstet werden. Der Wandler erzeugt aus der 5-Volt-Betriebsspannung einen ausreichenden Pegel, um eine sichere V24/RS232-Übertragung zu gewährleisten.

Die Baudrate der seriellen Schnittstellen läßt sich wahlweise per Software oder Hardware einstellen, bei Schnittstelle 1 sogar getrennt für Sender und Empfänger. UNIO besitzt einen Hardware-Baudratengenerator, der vier Frequenzen (1229, 614.4, 307.2 und 153.6 kHz) liefert. Damit lassen sich durch entsprechendes Programmieren der Vorteilerfaktoren in der SIO alle Standard-Baudraten von 76.8 kBaud bis herab zu 2400 Baud einstellen. Für andere oder "krumme" Baudraten können die Timer A und B der STI verwendet werden. In diesem Fall läßt sich die Frequenz per Software vorwählen, und eine automatische Baudratenerkennung ist möglich.

Zur Übertragung kann die CPU entweder das Statusregister der SIO abfragen oder einen Interrupt abwarten. Eine dritte Möglichkeit, die sehr schnelle Übertragungen zuläßt, ist ein Blocktransfer mit Wait-Synchronisation. Dazu ist der Jumper J6 zu setzen.

20 mA - Schnittstelle

Diese Schnittstelle wird von der STI zur Verfügung gestellt. Sie kann aktiv oder passiv, synchron oder asynchron betrieben werden; für Sonderanwendungen sind die Schnittstellenleitungen noch einmal auf den Wrap-Feld-Stecker N4 geführt. Die 20-mA-Leitungen sind durch Optokoppler galvanisch vom System getrennt; für Aktivbetrieb müssen die Jumper J8 und J9 gesetzt werden. Die Baudraten - getrennt für Sender und Empfänger - werden entweder von den Timern C und D oder von dem Baudratengenerator geliefert. Der Zugriff zur Schnittstelle erfolgt über sechs STI-Register:

Adresse	Nummer	Name	Bit 7	6	5	4	3	2	1	0
00h	IRO	SCR	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0
08h	R8	PVR	IV7	IV6	IV5	VR4	ISE	IRA2	IRA1	IRA0
0Ch	R12	UCR	DIV	WL1	WLO	ST1	STO	PEN	PEO	DMAE
0Dh	R13	RSR	RBF	ROER	PER	FER	SBD	MIP	SSE	RXE
0Eh	R14	TSR	TBE	TUER	AT	EOT	BRK	SO1	SO0	TXE
0Fh	R15	UDR	UD7	UD6	UD5	UD4	UD3	UD2	UD1	UD0

Das "indirekte" Register IRO wird auf der Adresse 00h angesprochen, wenn die drei Adressbits IA2-IA0 im Zeiger/Vektor-Register (PVR) auf '000' gesetzt sind.

Im Synchronbetrieb wird der Empfänger durch ein vorangestelltes Sync-Byte auf den eintreffenden Datenstrom synchronisiert. Dieses Byte steht

im SCR-Register der STI und wird in Übertragungspausen ständig gesendet. Der (üblichere) Asynchronbetrieb erfolgt mit einem Startbit; die Zahl der Stopbits ist variabel. Der Datenaustausch zur Schnittstelle erfolgt über das UDR-Register. Betriebsarten und Status lassen sich mit den folgenden Kontrollbits einstellen bzw. auslesen:

ST1	ST0	Betriebsart	WL1	WLO	Wortlänge
0	0	Synchron	0	0	8 Bit
0	1	Asynchron, 1 Stopbit	0	1	7 Bit
1	0	Asynchron, 1 1/2 Stopbits	1	0	6 Bit
1	1	Asynchron, 2 Stopbits	1	1	5 Bit

S01	S00	Ruhezustand des seriellen Ausgangs
0	0	Hochohmig
0	1	Low ('0')
1	0	High ('1')
1	1	Intern verbunden mit Empfänger-Eingang

An das gesendete Datenwort kann ein Paritätsbit angehängt werden, um Übertragungsfehler zu erkennen. Dieses Bit ergänzt die Anzahl der "Einsen" im Datenwort auf einen geraden oder ungeraden Wert. Im Asynchronbetrieb ist entweder gerade oder gar keine Parität üblich. Der Paritätsmodus wird über die Bits PEN und PEO bestimmt.

PEN	PEO	Parität
0	0	Kein Paritätsbit
0	1	Kein Paritätsbit
1	0	Ungerade Parität
1	1	Gerade Parität

Über die restlichen Flags lassen sich bestimmte Zustände der Schnittstelle steuern oder abfragen.

DIV	Teilerfaktor (0: Faktor 1; 1: Faktor 16)
DMAE	DMA-Handshake-Betrieb (DMA Enable)
RBF	Zeichen empfangen (Buffer full)
ROER	Empfänger nicht bedient (Overrun Error)
PER	Paritätsfehler (Parity Error)
FER	Stopbit nicht erkannt (Frame Error)
SBD	Found/Search or Break Detect
MIP	Match/Character in Progress
SSE	Sync-Wort ausblenden (Sync Strip Enable)
RXE	Empfänger aktivieren (Receiver Enable)
TBE	Zeichen gesendet (Buffer empty)
TUER	Sender nicht bedient (Underrun Error)
AT	Auto Turnaround
EOT	Senden beenden (End of Transmission)
BRK	Unterbrechungssignal senden (Break)
TXE	Sender aktivieren (Transmitter enable)

Im DMA-Handshake-Betrieb liegen die Signale RBF und TBE an den I/O-Leitungen 0 und 1. RBF springt auf '1', sobald ein empfangenes Datenbyte zum Lesen zur Verfügung steht. Geht TBE auf '1', kann ein Byte zum Senden eingeschrieben werden. Lesen und Schreiben erfolgt über das UDR-Register.

T i m e r

Die vier Timer A, B, C und D sind Abwärtszähler mit programmierbarem Takt und programmierbarer Zeitkonstante. Sie lassen direkt oder indirekt über einige Register der STI ansprechen:

Adresse	Nummer	Name	Bit 7	6	5	4	3	2	1	0
00h	IR1	TDDR	TDD7	TDD6	TDD5	TDD4	TDD3	TDD2	TDD1	TDD0
00h	IR2	TCDR	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0
00h	IR7	TCDC	TARS	TCC2	TCC1	TCC0	TBR3	TDC2	TDC1	TDC0
08h	R8	PVR	IV7	IV6	IV5	VR4	ISE	IRA2	IRA1	IRA0
09h	R9	TABC	TAC3	TAC2	TAC1	TAC0	TBC3	TBC2	TBC1	TBC0
0Ah	R10	TBDR	TBD7	TBD6	TBD5	TBD4	TBD3	TBD2	TBD1	TBD0
0Bh	R11	TADR	TAD7	TAD6	TAD5	TAD4	TAD3	TAD2	TAD1	TAD0

Die indirekten Register IR1, IR2 und IR7 werden auf der Adresse 00h angesprochen. Welches dieser Register (1,2 oder 7) ausgewählt ist, bestimmt die mit den drei Bits IA2-IA0 im Zeiger/Vektor-Register (PVR) eingestellte Adresse.

Der Takt für die Timer wird über die Kontrollflags TACO-2, TBCO-2, TCCO-2 und TDCO-2 nach folgender Tabelle eingestellt:

Bit	TxC2	TxC1	TxC0	Takt
0	0	0	0	Timer gestoppt
0	0	0	1	614.4 kHz
0	0	1	0	245.76 kHz
0	0	1	1	153.6 kHz
1	0	0	0	49.152 kHz
1	0	0	1	38.4 kHz
1	0	1	0	24.576 kHz
1	0	1	1	12.288 kHz

bei CLK = 2,4576 MHz

Zusätzlich können die Timer A und B die Pulslänge externer Signale messen, die über die Eingangsleitungen I4 und I3 eingespeist werden. Dazu sind die Bits TAC3 bzw. TBC3 auf '1' zu setzen. Im gestoppten Zustand (TxC0-2 auf '0') liefern die externen Eingänge den Timer-Takt.

Über die Timer-Datenregister TADR, TBDR, TCDR, TDDR läßt die Zeitkonstante programmieren, die bei jedem Nulldurchgang der Abwärtszähler neu geladen wird. Gleichzeitig wechselt das Signal am jeweiligen Timerausgang. Damit ergibt sich ein Rechtecksignal mit der Frequenz

$$f = T/(2*Z),$$

wobei T der eingestellte Timer-Takt, Z die Zeitkonstante ist. Beim Auslesen der Timer-Datenregister erhält man den augenblicklichen Zählerstand.

I / O - L e i t u n g e n

Für die 8 I/O-Leitungen sind die folgenden STI-Register zuständig:

Adresse	Nummer	Name	Bit 7	6	5	4	3	2	1	0
00h	IR3	AER	AEP7	AEP6	AEP5	AEP4	AEP3	AEP2	AEP1	AEPO
00h	IR6	DDR	DDP7	DDP6	DDP5	DDP4	DDP3	DDP2	DDP1	DDPO
01h	R1	GPIP	DP7	DP6	DP5	DP4	DP3	DP2	DP1	DPO
08h	R8	PVR	IV7	IV6	IV5	VR4	ISE	IRA2	IRA1	IRA0

Die indirekten Register IR3 bzw. IR6 werden auf der Adresse 00h angesprochen, wenn die drei Adressbits IA2-IA0 im Zeiger/Vektor-Register (PVR) auf '011' bzw. '110' gesetzt sind. Der direkte Zugriff auf die I/O-Leitungen erfolgt über das GPIP-Register. Mit dem DDR-Register können die Datenrichtungen einzeln bestimmt werden. Eine '1' im DDP-Bit macht die betreffende Leitung zum Ausgang, eine '0' zum Eingang.

Die I/O-Leitungen können auf jeder Flanke eines Eingangssignals einen Interrupt erzeugen. Die aktive Flanke wird dabei durch das zugehörige AEP-Bit im AER-Register bestimmt; bei einer '1' wird der Interrupt auf der steigenden, bei einer '0' auf der fallenden Flanke ausgelöst.

I n t e r r u p t s

Die Interruptlogik unterstützt Z80-Vektorinterrupts, die von den VLSI-Bausteinen auf der Karte (Z80-PIO, -SIO, -STI) generiert werden. Die Prioritätszuweisung erfolgt über eine aktive Kette (Daisy Chain); dazu werden die IEI-IEO-Leitungen des ECB-Bus verwendet. Am Anfang des Bus ist die IEI-Leitung mit +5V zu verbinden (auf dem ECB-Bus von CONITEC ist dazu bereits ein Jumper vorgesehen).

Beim Einsatz mehrerer UNIO- oder andere interruptfähiger Karten hat diejenige Karte die höchste Priorität, die dem Busanfang am nächsten ist. Auf UNIO selbst hat die STI die höchste, die SIO die niedrigste Priorität. Die Kette ist mit einem 'Look Ahead'-Gatter überbrückt, damit es beim Einsatz mehrerer interruptfähiger Karten keine Laufzeitprobleme gibt. Der Interrupt-Ausgang selbst ist mit einem Open-Collector-Gatter gepuffert.

Die STI verfügt über einen eigenen komfortablen Interruptcontroller, der Interrupts von den I/O-Leitungen, den Timern und der 20mA-Schnittstelle verwaltet. Dieser Controller wird über die folgenden Register gesteuert:

Adresse	Nummer	Name	Bit 7	6	5	4	3	2	1	0
00h	IR4	IERB	IEP5	IEP4	IETC	IETD	IEP3	IEP2	IEP1	IEP0
00h	IR5	IERA	IEP7	IEP6	IETA	IERB	IERE	IEXB	IEXE	IETB
02h	R2	IPRB	IPP5	IPP4	IPTC	IPTD	IPP3	IPP2	IPP1	IPP0
03h	R3	IPRA	IPP7	IPP6	IPTA	IPRB	IPRE	IPXB	IPXE	IPTB
04h	R4	ISRB	ISP5	ISP4	ISTC	ISTD	ISP3	ISP2	ISP1	ISPO
05h	R5	ISRA	ISP7	ISP6	ISTA	ISRB	ISRE	ISXB	ISXE	ISTB
06h	R6	IMRB	IMP5	IMP4	IMTC	IMTD	IMP3	IMP2	IMP1	IMPO
07h	R7	IMRA	IMP7	IMP6	IMTA	IMRB	IMRE	IMXB	IMXE	IMTB
08h	R8	PVR	IV7	IV6	IV5	VR4	ISE	IRA2	IRAL	IRAO

Die indirekten Register werden auf der Adresse 20h angesprochen. Welches der acht gerade ausgewählt ist, bestimmen die drei Adressbits IA2-IA0 im Zeiger/Vektor-Register (PVR). Bei der folgenden Auflistung der 16 möglichen Interrupt-Quellen beziehen sich die Bemerkungen in Klammern auf die alternative Belegung der I/O-Leitungen bei UNIO.

Priorität	Vektor	Name	Bedeutung
1 (höchste)	1Eh	P7	I/O-Leitung 7 (/ACK2)
2	1Ch	P6	I/O-Leitung 6 (/ACK1)
3	1Ah	TA	Nulldurchgang Timer A
4	18h	RB	Daten bereit von 20mA-Schnittstelle
5	16h	RE	Fehler beim Empfang
6	14h	XB	Daten gesendet
7	12h	XE	Fehler beim Senden
8	10h	TB	Nulldurchgang Timer B
9	0Eh	P5	I/O-Leitung 5 (/ERROR)
10	0Ch	P4	I/O-Leitung 4
11	0Ah	TC	Nulldurchgang Timer C
12	08h	TD	Nulldurchgang Timer D
13	06h	P3	I/O-Leitung 3
14	04h	P2	I/O-Leitung 2
15	01h	P1	I/O-Leitung 1
16 (letzte)	00h	P0	I/O-Leitung 0

Jede der Quellen erzeugt einen eigenen Vektor, dessen untere 5 Bits in der obigen Tabelle angegeben sind. Die oberen 3 Bits (IV5-IV7) sind allen gemeinsam und lassen sich über das PVR-Register programmieren. Die Steuerung der Interrupts erfolgt über 4 Kontroll- und Statusbits (IE, IM, IP, IS). Sie sind über 8 Register für jede Quelle getrennt einstellbar und abfragbar und haben folgende Bedeutung (xx bezieht sich auf die Quelle):

IExx: Interrupt einschalten für Quelle xx. Eine '1' ermöglicht den Interrupt, eine '0' schaltet ihn ab.

IMxx: Interrupt maskieren. Ein ausgelöster Interrupt wird nur dann zur CPU geschickt (aktiviert), wenn das zugehörige IM-Bit auf '1' steht.

IPxx: Interrupt ausgelöst. Eine '1' signalisiert den ausgelösten Interrupt. Das Bit wird durch Einschreiben einer '0' oder durch Aktivieren des Interrupts wieder gelöscht. Voraussetzung für die Aktivierung ist, daß die IP-Bits höherer Priorität sämtlich gelöscht sind.

ISxx: Interrupt in Behandlung. Ist ein Interrupt aktiviert, springt das zugehörige IS-Bit auf '1'. In diesem Zustand kann von der gleichen Quelle kein weiterer Interrupt mehr aktiviert werden. Sobald die Interrupt-Routine durch eine RETI-Instruktion (EDh 4Dh) abgeschlossen wurde, geht das Bit wieder auf '0'; es kann natürlich auch direkt durch Einschreiben einer '0' gelöscht werden. Solange das ISE-Bit im PVR-Register auf '0' steht, bleiben alle IS-Bits im gelöschten Zustand.

J2: Jumperfeld SIOA, SIOB

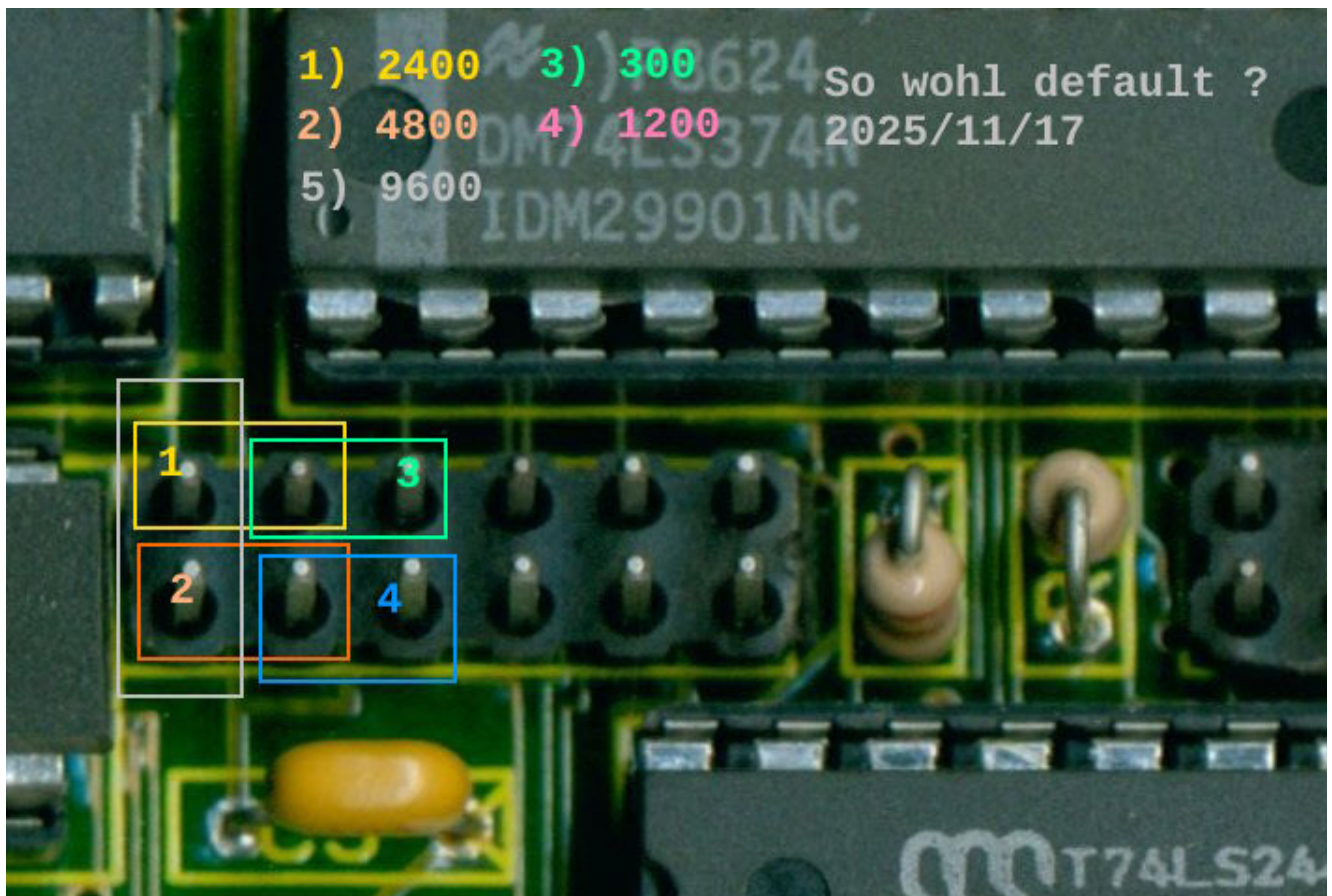
Das Feld J2 besteht aus zwei Jumpern mit je 5 Stellungen, deren Position von der CPU auf den JSI-Eingangsleitungen abgefragt werden kann. Damit lassen sich Systemparameter - Baudrate, Schnittstellenkonfiguration usw. festlegen.

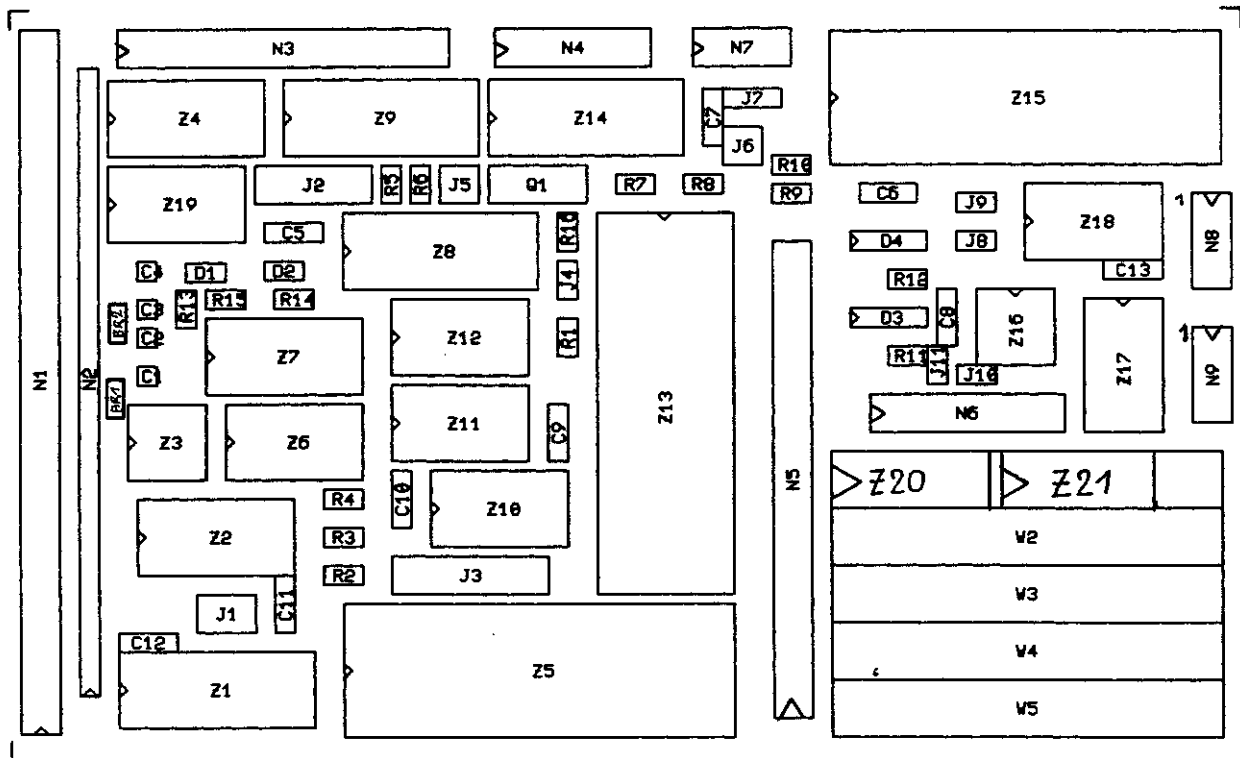
Hier die Baudraten für die Jumperstellungen durchgetestet.

Pos.:

1.) 2400 3.) 300
2.) 4800 4.) 1200

5.) Ohne oder Quer 9600





Nr.	Typ	Bemerkungen	Halbleiter u. Sonstiges
Widerstände			D1,2 1N4148 (Converter)
R1	4.7 kOhm		Q1 4.915 MHz
R2-6	2.2 kOhm		ICs
R7,8	270 Ohm		Z1 74LS245
R9	150 Ohm		Z2 74LS85
R10	2.2 kOhm		Z3 7660 (Converter)
R11,12	470 Ohm		Z4 74LS259
R13,14	2.2 kOhm		Z5 Z80-STI
R15	4.7 kOhm		Z6 74LS32
R16	2.2 kOhm		Z7 74LS139
Kondensatoren			Z8 74LS244
C1,2	10uF/16V	Tantal (Converter)	Z9 74LS374
C3,4	4.7uF/16V	Tantal	Z10 74LS393
C5-8	100 nF	Keramik	Z11 74S04
C9	10uF/6.3V	Tantal	Z12 74LS09
C10-12	100 nF	Keramik	Z13 Z80-PIO
Stecker			Z14 74LS374
N1	V5-Leiste 64pol.		Z15 Z80-SIO
N3	Stiftleiste 34pol.		Z16 ILD74
N4	Stiftleiste 16pol.		Z17 1489,75189
N5	Stiftleiste 50pol.		Z18 1488,75188
N6	Stiftleiste 20pol.		Z19 74LS27
N7-9	Stiftleiste 10pol.		Z20 1488,75188
Sonstiges			Z21 1489,75189
J2	Stiftleiste 12pol.		Socket
J3	Stiftleiste 16pol.		2x 8pol.
			7x 14pol.
			3x 16pol.
			4x 20pol.
			3x 40pol.

Steckerbelegung

N1: ECB-Bus-Stecker

	a	b	c	Leistung	Typ	Funktion
1:	+5V	xxx	+5V	+5V:	I,U	Betriebsspannung
2:	D5	xxx	D0	+12V, -12V:	I,U	V24-Spannungen
3:	D6	xxx	D7			
4:	D7	xxx	D2	GND:	I,U	gemeinsame Masse
5:	D4	xxx	A0			
6:	A2	xxx	A3	D0-D7:	IO,TS	Datenbus
7:	A4	xxx	A1	A0-A7:	I	Adressbus
8:	A5	xxx	xxx			
9:	A6	xxx	A7	/RD:	I	Lesen
10:	xxx	xxx	xxx	/WR:	I	Schreiben
11:	xxx	xxx	1EJ	/IORQ:	I	Ein/Ausgabe
12:	xxx	xxx	xxx			
13:	+12V	xxx	xxx	/MI	I	1. Maschinenzklus
14:	-12V	xxx	D1			
15:	xxx	xxx	-	/FCL:	I	Rücksetzen
16:	-	xxx	1E0			
17:	xxx	xxx	xxx	1E1:	I	INT-Ketteneingang
18:	xxx	xxx	xxx	1E0:	O	INT-Kettenausgang
19:	-	xxx	xxx			
20:	/MI	and	/NMI	/BAI:	I	DMA-ketteneingang
21:	xxx	xxx	/INI	/BAO:	O	DMA-kettenausgang
22:	-	xxx	/NR			
23:	/BAI	xxx	-	/INT:	O,OD	Interrupt
24:	xxx	xxx	/RD	/NMI:	-	Vorrang-Interrupt
25:	/BAO	xxx	xxx			
26:	xxx	xxx	/FCL	CLOCK:	I	CPU-Takt
27:	/IOK0	xxx	xxx			
28:	xxx	xxx	xxx			
29:	xxx	xxx	CLOCK	xxx = reserviert für Erweiterungen		
30:	xxx	xxx	xxx	xxx = zur freien Verwendung		
31:	xxx	xxx	xxx	- = abweichend von KONTRON-Belegung		
32:	GND	xxx	GND			

- Typ: I = Eingang
 O = Ausgang
 ST = Schmitt-Trigger
 OD = Offener Kollektor/ Open Drain
 IS = Tri-State
 V24 = V24-Spannungspegel
 I/O = Eingang/Ausgang, wählbar
 IO = Eingang/Ausgang, umschaltbar
 A = Analog-Ein/Ausgang
 U = Betriebsspannung

N3: 1. Centronix-Schnittstelle

	Leistung	Typ	Funktion
01,02:	+5V	+5V	
03,04:	/STB	GND	
05,06:	DATA11	GND	
07,08:	DATA12	GND	DATA1-B:
09,10:	DATA13	GND	
11,12:	DATA14	GND	/STB:
13,14:	DATA15	GND	IO,TS
15,16:	DATA16	GND	Empfangsquittung
17,18:	DATA17	GND	BUSY:
19,20:	DATA18	GND	I
21,22:	/ACK1	GND	0
23,24:	BUSY1	GND	Initialisieren
25,26:	WF11	GND	/ERROR:
27,28:	WF12	/INIT	IO,TS
29,30:	/CG0	/ERROR	Fehlermeldung
31,32:	/CG1	---	
33,34:	GND	GND	---
			WF:
			I/O
			Daten durchschalten
			Zum Wrap-Feld

N4: 2. Centronix-Schnittstelle

01-02:	+5V	/CG2	
03-04:	DATA21	DATA22	
05-06:	DATA23	DATA24	
07-08:	DATA25	DATA26	
09-10:	DATA27	DATA28	
11-12:	/STB2	BUSY2	
13-14:	/INIT	/ACK2	
15-16:	GND	GND	

N8: RS232C/V24-Schnittstelle

	Leistung	Typ	Funktion
01-02:	+12V	-12V	
03-04:	*WF21	*WF22	
05-06:	TX1	RX1	TX: 0,V24
07-08:	RTS1	CTS1	RX: 1,ST
09-10:	GND	GND	

N9: RS232C/V24-Schnittstelle

	Leistung	Typ	Funktion
01-02:	+12V	-12V	
03-04:	*WF31	*WF32	
05-06:	TX2	RX2	*WF21 1,V24 /DCD1
07-08:	RTS2	CTS2	*WF22 0,V24 /DTR1
09-10:	GND	GND	*WF31 1,V24 /DCD2
			*WF32 0,V24 /DTR2

N7: 20 mA-Stromschleife

	Leistung	Typ	Funktion
01-02:	+12V	---	
03-04:	WF41	WF42	
05-06:	TXL1	RXL1	TXL1, TXL2: 0
07-08:	TXL2	RXL2	RXL1, RXL2: I
09-10:	GND	GND	WF: -
			Zum Wrap-Feld

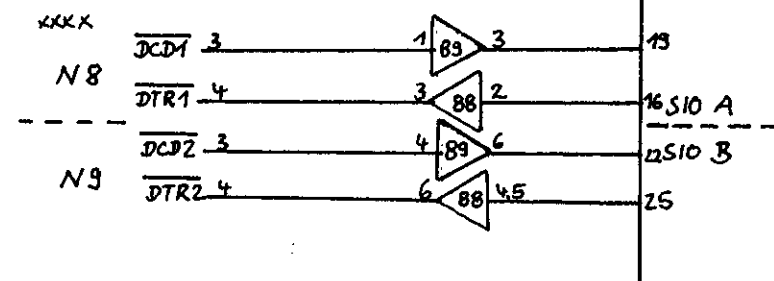
N5: I/O-Leitungen

	Leistung	Typ	Funktion
01,02:	+5V	+5V	
03,04:	/STB	---	
05,06:	PB7	PB6	+5V:
07,08:	PB5	PB4	O,U
09,10:	PB3	PB2	GND:
11,12:	PB1	PB0	O,U
13,14:	/ASTB	BRDY	PA0-PA7:
15,16:	/ASTB	ARDY	IO,TS
17,18:	PA6	PA5	I
19,20:	PA4	PA3	Port A Strobe
21,22:	PA2	PA1	0
23,24:	PA0	PA0	Port A ready
25,26:	PA0	PA0	0
27,28:	PA0	PA0	Port B Strobe
29,30:	PA0	PA0	1
31,32:	PA0	PA0	0
33,34:	PA0	PA0	Port B ready
35,36:	PA0	PA0	0
37,38:	PA0	PA0	Port B ready
39,40:	PA0	PA0	0
41,42:	PA0	PA0	Port B ready
43,44:	PA0	PA0	0
45,46:	PA0	PA0	Port B ready
47,48:	PA0	PA0	0
49,50:	PA0	PA0	Port B ready

N6: Wrap-Feld

	Leistung	Typ	Funktion
01-02:	+12V	-12V	
03-04:	WF11	WF12	
05-06:	WF21	WF22	WF: -
07-08:	WF31	WF32	Zu den Steckern
09-10:	WF41	WF42	
11-12:	---	---	
13-14:	/DCD1	/DTR1	/DCD: 1
15-16:	/SYNC	/WRDY1	/DTR: 0
17-18:	/DCD2	/DTR2	Empfänger bereit
19-20:	/SYNC2	/WRDY2	Ausgangsleitung
			/SYNC: IO
			Sync-Eingang
			/WRDY: 0,OD
			WAIT/READY

Schaltung a. Wrapfeld



88 = Z20

89 = Z21

----- UNID - 1 Adressbelegung -----

Zu den im folgenden angegebenen Portadressen muß immer die mit J1 eingestellte Anfangsadresse hinzuaddiert werden.

Port	R/W	Bit	Name	Funktion
00h	R/W	0-7	IDR	Zugriff auf die indirekten STI-Register.
01h	R/W	0-4	GPID	I/O-Leitungen 0-4.
01h	R/W	5	/ERRDR	I/O-Leitung 5 oder ERRDR-Eingang von Centronics 1.
01h	R/W	6	/ACK1	I/O-Leitung 6 oder ACK-Eingang von Centronics 1.
01h	R/W	7	/ACK2	I/O-Leitung 7 oder ACK-Eingang von Centronics 2.
02h	R/W	0-7	IPRB	Interrupt-Zustandsregister B.
03h	R/W	0-7	IPRA	Interrupt-Zustandsregister A.
04h	R/W	0-7	ISRB	Interrupt-Serviceregister B.
05h	R/W	0-7	ISRA	Interrupt-Serviceregister A.
06h	R/W	0-7	IMRB	Interrupt-Maskenregister B.
07h	R/W	0-7	IMRA	Interrupt-Maskenregister A.
08h	R/W	0-7	PVR	Zeiger/Vektor-Register.
09h	R/W	0-7	TABC	Betriebsmodus für Timer A und B.
0Ah	R/W	0-7	TBDR	Timer B Datenregister.
0Bh	R/W	0-7	TADR	Timer A Datenregister.
0Ch	R/W	0-7	UCR	Steuerregister der 20mA-Schnittstelle.
0Dh	R/W	0-7	RSR	20mA-Empfängerstatus.
0Eh	R/W	0-7	TSR	20mA-Senderstatus.
0Fh	R/W	0-7	UDR	20mA-Datenregister.
10h	R/W	0-7	PA	PID Port A Datenregister.
11h	R/W	0-7	PB	PID Port B Datenregister.
12h	R/W	0-7	MA	PID Port A Steuerregister.
13h	R/W	0-7	MB	PID Port B Steuerregister.
14h	R/W	0-7	SI0A	Datenregister der V24/RS232-Schnittstelle 1.
15h	R/W	0-7	SI0B	Datenregister der V24/RS232-Schnittstelle 2.
16h	R/W	0-7	SI0STA	Status/Steuerregister der V24/RS232-Schnittstelle 1.
17h	R/W	0-7	SI0STB	Status/Steuerregister der V24/RS232-Schnittstelle 2.
10h-18h			SEL	Select-Leitung für Zusatzport auf dem WRAP-Feld. Ein Ansprechen dieser Ports durch einen Schreib- oder Lesebefehl löst einen LOW-Impuls von ca. 700 ns Dauer auf der /SEL-Leitung aus.
1Ch	W	0-7	DATA1	Datenport der Centronix-Schnittstelle 1.
1Dh	W	0-7	DATA2	Datenport der Centronix-Schnittstelle 2.

Port	R/W	Bit	Name	Funktion	
1Eh	W	0	FLAG	Datenleitung zum Setzen der 8 Systemflags.	
1Eh	W	1-3	FLAD	Adressbits zur Auswahl des Flags.	
			Flag 0:	CG1	Flag zum Abschalten der Centronix-Schnittstelle 1.
			Flag 1:	CG2	Flag zum Abschalten der Centronix-Schnittstelle 2.
			Flag 2:	/STB1	STROBE-Impuls der Centronix-Schnittstelle 1.
			Flag 3:	/STB2	STROBE-Impuls der Centronix-Schnittstelle 2.
			Flag 4:	/INIT	INIT-Leitung für beide Centronix-Schnittstellen.
			Flag 5-7:	JSD0-2	Abfrage-Flags für das Status-Jumperfeld.
1Fh	R	4-5	JSI	Status-Jumperfeld. Jede der beiden Leitungen kann 5 Zustände annehmen: - immer auf 1 (kein Jumper) - immer auf 0 (Stellung 4-6 bzw. 10-12) - wie JS00 (Stellung 2-4 bzw. 8-10) - wie JS01 (Stellung 1-3 bzw. 7-9) - wie JS02 (Stellung 3-5 bzw. 9-11)	
1Fh	R	6	BUSY1	BUSY-Eingang der Centronics-Schnittstelle 1.	
1Fh	R	7	BUSY2	BUSY-Eingang der Centronics-Schnittstelle 2.	

----- UNID - 1 Jumper -----

Bei der Auslieferung der Platine sind einige Jumper durch Leiterbahnen in der mit "default" gekennzeichneten Position voreingestellt. Bei einer Änderung müssen die entsprechenden Bahnen mit einem scharfen Messer durchtrennt werden. Bei den folgenden Tabellen bedeutet g=geschlossen, o=offen.

J1: Einstellung der Basisadresse.

Position	1-2	3-4	5-6	Adresse
	g	g	g	00h
	g	g	o	20h
	g	o	g	40h
	g	o	o	60h
	o	g	g	80h
	o	g	o	A0h
	o	o	g	C0h
	o	o	o	E0h

J2: Jumperfeld

Das Feld J2 besteht aus zwei Jumpers mit je 5 Stellungen, deren Position von der CPU auf den JSI-Eingangsleitungen abgefragt werden kann. Damit lassen sich Systemparameter - Baudrate, Schnittstellenkonfiguration usw. - festlegen. Jede der beiden JSI-Leitungen kann 5 Zustände annehmen:

- immer auf 1 (kein Jumper, default)
- immer auf 0 (Stellung 4-6 bzw. 10-12)
- wie JS00 (Stellung 2-4 bzw. 8-10)
- wie JS01 (Stellung 1-3 bzw. 7-9)
- wie JS02 (Stellung 3-5 bzw. 9-11)

J3: Baudraten

Über das Feld J3 lassen sich die Frequenzen vom Baudratengenerator und von den vier Timern auf die einzelnen seriellen Schnittstellen verteilen. Die Anschlüsse sind folgendermaßen belegt:

1: 1228.8 kHz	10: Timer A	2,9: Tx/Rx RS232-2	13: Tx 20mA
3: 614.4 kHz	12: Timer B	4,11: Tx RS232-1	14: Rx 20mA
5: 307.2 kHz	14: Timer C	6,8: Rx RS232-1	
7: 153.6 kHz	16: Timer D		

Die Anschlüsse sind in den Positionen 9-10, 6-11-12, 13-14, 15-16 vorverdrahtet. Damit wird RS232-1 von Timer B, RS232-2 von Timer A, der Empfänger der 20mA-Schnittstelle von Timer D und der Sender von Timer C gesteuert.

J4: SI-Eingang

Wird der serielle Eingang der STI nicht für die 20mA-Schnittstelle benötigt, ist J4 zu öffnen (default: geschlossen).

J5: Datenausgänge der Centronix-Schnittstelle

Bei speziellen Anwendungen kann es sinnvoll sein, die Ausgänge DATA1-8 in den hochohmigen Zustand zu versetzen. Dafür ist J5 und die Steuerflags CG1 und CG2 vorgesehen. Es lassen sich die folgenden Modi einstellen:

MODUS 1 (J5 geschlossen, default): Die Ausgänge DATA1-8 werden hochohmig, sobald CG auf '1' gesetzt wird.

MODUS 2 (J5 offen): CG ist ein Eingang, der die Ausgänge DATA1-8 abschaltet, wenn ein HIGH-Pegel angelegt wird. Das CG-Flag hat hier keine Funktion.

CG1 und Position 3-4 gelten für Schnittstelle 1, CG2 und 1-2 für Schnittstelle 2.

J6: Wait-Synchronisation

Wenn die Datenübertragung zu den beiden RS232-Schnittstellen im Blocktransfermodus (OUTIR-Befehle) erfolgen soll, muß die CPU über die WAIT-Leitung mit der SIO synchronisiert werden. Dazu ist der entsprechende J6-Jumper zu schließen. Position 2-4 gilt für die RS232-Schnittstelle 1, 1-3 für RS232-Schnittstelle 2.

J7: SIO- und PIO-Takt

Position 1-2: Takt von der CPU (default).
Position 2-3: Interner Takt (2.4576 MHz).

J8: 20mA-Sender

Offen: Passivbetrieb
Geschlossen: Aktivbetrieb (+12V erforderlich)

J9: 20mA-Empfänger

Offen: Passivbetrieb
Geschlossen: Aktivbetrieb (+12V erforderlich)

J10: offen: /DCD1 von N8
geschl: /DCD1 immer LOW

J11: offen: /DCD2 von N9
geschl: /DCD2 immer LOW

BR1: offen: V24 Pegel intern geschl: Pegel vom BLIS

BR2: offen: V24 Pegel intern geschl: Pegel vom BLIS